

51000
002
2-19-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Masatoshi FUKUDA, et al.**

Serial No.: **Not Yet Assigned**

Filed: **December 19, 2001**

For: **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

December 19, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2000-394492, filed December 26, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON, LLP



Atty. Docket No.: 011724
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
SGA/ll

Stephen G. Adrian
Reg. No. 32,878

J1011 U.S. PRO
10/020951
12/19/01



日本国特許庁
JAPAN PATENT OFFICE

J1011 U.S. PTO
10/020951
12/19/01


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: 2000年12月26日

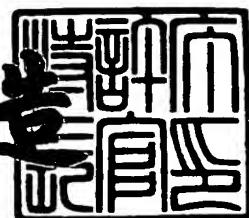
出願番号
Application Number: 特願2000-394492

出願人
Applicant(s): 富士通株式会社

2001年 9月10日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3083145

【書類名】 特許願
【整理番号】 0040799
【提出日】 平成12年12月26日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/10 325
【発明の名称】 半導体装置及びその製造方法
【請求項の数】 10
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 福田 昌俊
【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内
【氏名】 角田 浩司
【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社
【代理人】
【識別番号】 100087479
【弁理士】
【氏名又は名称】 北野 好人
【選任した代理人】
【識別番号】 100114915
【弁理士】
【氏名又は名称】 三村 治彦
【手数料の表示】
【予納台帳番号】 003300
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板上に形成され、蓄積電極と、前記蓄積電極上に形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成されたプレート電極とからなるキャパシタを有する半導体装置であって、

前記蓄積電極は、上端部が丸まっており、前記上端部の厚さが他の領域の厚さよりも厚い

ことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、

前記蓄積電極は、前記上端部に向かうほどに厚さが厚くなっている
ことを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、
前記蓄積電極は、側面部がテーパ角度を有し、前記上端部に向かうほどに外周
が広がっている

ことを特徴とする半導体装置。

【請求項4】 請求項1又は2記載の半導体装置において、

前記蓄積電極は、円筒形状を有する
ことを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、

前記蓄積電極は、内側面と底面との間の境界部分が丸まっている
ことを特徴とする半導体装置。

【請求項6】 半導体基板上に、絶縁膜を形成する工程と、
前記絶縁膜に開口部を形成する工程と、
前記半導体基板に電気的に接続され、前記開口部内に形成された蓄積電極を形
成する工程と、

前記蓄積電極の上端部に丸みをつけるための熱処理を行う工程と、

前記蓄積電極上に、キャパシタ誘電体膜を形成する工程と、

前記キャパシタ誘電体膜上に、プレート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法において、前記蓄積電極を形成する工程の後に、前記絶縁膜を除去する工程を更に有することを特徴とする半導体装置の製造方法。

【請求項8】 請求項6又は7記載の半導体装置の製造方法において、前記蓄積電極を形成する工程では、前記開口部の少なくとも前記側面に沿って形成されたライナー膜を介して前記蓄積電極を形成することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法において、前記熱処理を行う工程の前に、前記絶縁膜の表面側から所定の量だけ前記ライナー膜をエッチングする工程を更に有することを特徴とする半導体装置の製造方法。

【請求項10】 請求項6又は7記載の半導体装置の製造方法において、前記蓄積電極を形成する工程では、前記開口部の側面及び底部に沿って形成された円筒形状の前記蓄積電極を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に、円筒形状又は柱状の蓄積電極を利用したキャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

DRAMは、1トランジスタ、1キャパシタで構成できる半導体記憶装置であり、従来より高密度・高集積化された半導体記憶装置を製造するための構造や製造方法が種々検討されている。特に、DRAMにおけるキャパシタの構造は高集積化に多大な影響を与えるため如何にして装置の高集積化を阻害せずに所望の蓄積容量を確保するかが重要である。

【0003】

高集積化を図るためにメモリセル面積を縮小することが不可欠であり、キャパシタの形成される面積をも小さくする必要がある。そこで、柱状や円筒形状の蓄積電極を利用したキャパシタを採用することにより高さ方向にキャパシタの表面積を広げ、キャパシタが形成される領域の床面積を増加することなく所望の蓄積容量を確保することが提案されている。

【0004】

従来の半導体装置の製造方法について図26及び図27を用いて説明する。

【0005】

まず、シリコン基板200上に、通常のMOSトランジスタの製造方法と同様にして、ゲート電極204及びソース／ドレイン拡散層206を有するメモリセルトランジスタを形成する（図26（a））。

【0006】

次いで、メモリセルトランジスタが形成されたシリコン基板200上に、例えばCVD法によりシリコン酸化膜を堆積した後、例えばCMP法によりその表面を研磨し、シリコン酸化膜よりなり表面が平坦化された層間絶縁膜208を形成する。

【0007】

次いで、リソグラフィー技術及びエッチング技術により層間絶縁膜にソース／ドレイン拡散層に達するコンタクトホール210を形成する。

【0008】

次いで、例えばCVD法により導電膜を堆積した後、例えばCMP法により層間絶縁膜の表面が露出するまでこの導電膜を研磨し、コンタクトホール210内に埋め込まれたプラグ212を形成する（図26（b））。

【0009】

次いで、プラグ212が埋め込まれた層間絶縁膜208上に、例えばCVD法によりシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜214を形成する。

【0010】

次いで、リソグラフィー技術及びエッチング技術により、層間絶縁膜214に

、プラグ212を露出する開口部216を形成する。

【0011】

次いで、全面に、例えばCVD法によりルテニウム膜を堆積した後、例えばCMP法により層間絶縁膜214の表面が露出するまでこのルテニウム膜を研磨し、開口部216の内壁及び底面に沿って形成されたルテニウム膜よりなる円筒形状の蓄積電極218を形成する（図26（c））。

【0012】

次いで、円筒形状の蓄積電極218の内表面及び外表面を利用する、いわゆるシリンド型キャパシタを形成する場合には、層間絶縁膜214を層間絶縁膜208に対して選択的に除去して蓄積電極218の外表面を露出した後、例えばCVD法により、例えばTa₂O₅よりなるキャパシタ誘電体膜220と、例えばルテニウム膜よりなるプレート電極222とを堆積し、蓄積電極218、キャパシタ誘電体膜220、プレート電極222とからなるキャパシタを形成する（図27（a））。

【0013】

或いは、円筒形状の蓄積電極の内表面のみを利用する、いわゆるコンケイブ型キャパシタを形成する場合には、層間絶縁膜214を除去することなく、例えばCVD法により、例えばTa₂O₅よりなるキャパシタ誘電体膜220と、例えばルテニウム膜よりなるプレート電極222とを堆積し、蓄積電極218、キャパシタ誘電体膜220、プレート電極222とからなるキャパシタを形成する（図27（b））。

【0014】

こうして、円筒形状の蓄積電極を利用したキャパシタを有するDRAMが製造されていた。

【0015】

【発明が解決しようとする課題】

上記従来の半導体装置の製造方法では、層間絶縁膜214上の導電膜をCMP法により除去することにより開口部216内に選択的に蓄積電極218を形成していたため、このように形成した蓄積電極218の上端部には図28（a）に示

すような角部が発生していた。特に、CMP法による研磨の際にディッシングが生じていると、蓄積電極218の内表面側が外表面側より削れやすいため、蓄積電極218の上端部には図28(b)に示すようなより鋭角な角部が発生していた。

【0016】

このように蓄積電極218の上端部に角部が発生すると、角部において電界が集中し、平面型の電極を形成した場合と比較してキャパシタ誘電体膜220の絶縁性が大幅に劣化することがあった。特に、角部が鋭角な場合、角部にはきわめて大きな電界が集中的に印加されるため、キャパシタ誘電体膜220が絶縁破壊されてしまうことがあった。

【0017】

本発明の目的は、柱状又は円筒形状の蓄積電極を利用したキャパシタを有する半導体装置において、蓄積電極上端部における電界集中を緩和してキャパシタの絶縁性を向上しする半導体装置及びその製造方法を提供することにある。

【0018】

【課題を解決するための手段】

本発明は、蓄積電極の形成後、キャパシタ誘電体膜の形成前に、蓄積電極の上端部の角部に丸みをつけるための熱処理を行うことに主たる特徴がある。

【0019】

金属膜を構成する材料の自発的な構造形成を促進させるように、金属膜を形成した後に融点より低い所定の温度で熱処理を行うと、結晶が再構成される。特に、金属膜の端部においては、表面エネルギーの少ない最も安定である球面形状に成形するように結晶の再構成が進行する。したがって、蓄積電極を形成した後に結晶の再構成が生じる温度よりも高い温度にて熱処理を行うことにより、蓄積電極の上端部の角部に丸みをつけることができる。

【0020】

蓄積電極の角部に丸みをつけるための熱処理の条件は、蓄積電極を構成する材料によって異なる。例えば、蓄積電極としてルテニウム膜を適用する場合、角部に丸みをつけるための熱処理は、酸素を含まない雰囲気中で、約300～750

℃の温度において行なうことが望ましい。

【0021】

熱処理条件について本願発明者等が鋭意検討を行ったところ、酸素を含む雰囲気において熱処理を行った場合には蓄積電極の角部が丸まらないが、酸素を含まない雰囲気中で熱処理を行った場合には蓄積電極の角部が丸まることが明らかとなつた。そして、膜中の酸素について観察したところ、熱処理前の試料では膜中には僅かながら酸素が含まれていたが、蓄積電極の角部が丸みのついた熱処理後の試料ではこの酸素はほとんどなくなっていることが明らかとなつた。

【0022】

このことから、熱処理によるルテニウム膜の結晶の再編成過程は、膜中に含まれる酸素に大きな関係があり、膜外に酸素が放出されることによりルテニウムの結晶の再編成が促進され、結晶粒径が大きくなるとともに、端部においては表面エネルギーの少ない球面形状に成形されるものと考えられる。

【0023】

したがつて、熱処理を行う雰囲気としては、膜中の酸素を効率よく放出し膜中に酸素を取り込まない雰囲気、すなわち酸素を含まない、真空雰囲気、水素雰囲気、窒素などの不活性ガス雰囲気などが好適である。

【0024】

ルテニウムにおいては、約300℃以上の温度で結晶の再構成が生じる。したがつて、蓄積電極の角部に丸みをつけるための熱処理温度は、少なくとも300℃以上に設定する必要がある。

【0025】

一方、熱処理温度が高すぎると、ルテニウムの結晶粒径が大きくなりすぎて下地膜が露出したり蓄積電極の形状が著しく変化するなど、蓄積電極として用いるに十分な形状をなさなくなる。また、DRAMにかかるサーマルバジェットを考慮する必要がある。したがつて、熱処理温度の上限は、これらを考慮して適宜設定することが望ましい。

【0026】

熱処理温度の上限は、蓄積電極の初期形状によっても異なる。コンケイブ型や

柱状のキャパシタでは高温熱処理でも電極が変形しにくいため、熱処理温度を高温に設定することができる。他方、シリンダ型のキャパシタでは電極が変形しやすいため、高温の熱処理を行うと隣接する蓄積電極が互いに接触するなどの不具合が生じることがあり、熱処理温度の上限はコンケイブ型や柱状のキャパシタと比較して低温となる。炉を用いた熱処理の場合、シリンダ型キャパシタでは500～600°Cの温度で10分～数時間程度の熱処理が実用的であり、コンケイブ型キャパシタでは550°C～700°Cの温度で10分～数時間程度の熱処理が実用的である。

【0027】

また、熱処理温度の上限は、熱処理方法によっても異なる。例えば、炉を用いて熱処理を行う場合、熱処理時間が長く、熱処理温度は比較的低温になる。一方、RTA (Rapid Thermal Annealing) 法を用いて熱処理を行う場合、短時間で比較的高温の熱処理が可能である。

【0028】

実際には、熱処理温度の上限は、DRAMにかかるサーマルバジェットで決まると考えられる。キャパシタ工程では750°C程度の温度が上限であり、蓄積電極の角部に丸み付けをする熱処理においても、処理温度は高くとも750°C程度以下に設定することが望ましいと考えられる。

【0029】

蓄積電極としてプラチナ膜を適用する場合についても、ルテニウム膜と同様の傾向がある。プラチナ膜を用いる場合、角部に丸みをつけるための熱処理は、酸素を含まない雰囲気中で、約300～750°Cの温度において行なうことが望ましい。

【0030】

また、本願発明者等は詳細な検討を行っていないが、他の金属材料についても同様であると考えられる。

【0031】

蓄積電極を覆うキャパシタ誘電体膜を形成した後に熱処理を行うと、蓄積電極の構造変化がキャパシタ誘電体膜に物理的なストレスを与え、却ってリーク電流

を増大する虞がある。したがって、蓄積電極の角部に丸みをつけるための熱処理は、蓄積電極の形成後、キャパシタ誘電体膜の形成前に行うことが望ましい。

【0032】

蓄積電極の形成後、キャパシタ誘電体膜の形成前であっても、熱処理をする過程には様々な場合が考えられる。

【0033】

まず、層間絶縁膜114に形成した開口部116内に蓄積電極120を形成する場合を考慮すると、(1)開口部116の内壁及び底部に沿って直接形成する(図1(a))、(2)開口部116の内壁に形成されたライナー膜118を介して形成する(図2(a))、(3)開口部の内壁及び底部に沿って形成されたライナー膜118を介して形成する(図3(a))、の3通りの形成方法が考えられる。(1)の方法は、蓄積電極120と層間絶縁膜114との密着性が比較的良い場合、例えば酸素含有量の多いルテニウムを成膜する場合に適用することができる。(2)の方法は、蓄積電極120と層間絶縁膜114との密着性は不十分であっても蓄積電極120と下層プラグ112との密着性が十分である場合に適用することができる。(3)の方法は、蓄積電極120と層間絶縁膜114との密着性及び蓄積電極120と下層プラグ112との密着性が不十分である場合に適用することができる。なお、本明細書にいうライナー膜118とは、少なくとも蓄積電極120の外側面と層間絶縁膜114との間に形成され、下層プラグ112と蓄積電極120との物理的・電気的密着性及びバリア性又は層間絶縁膜114と蓄積電極120との密着性を高め、シリンダ型キャパシタにあっては蓄積電極120を支える支持材として機能する膜をいうものとする。

【0034】

ライナー膜118を設ける場合、ライナー膜118と蓄積電極120との密着性が強いとライナー膜118側において蓄積電極120は十分な構造変化を起こすことができない。したがって、熱処理に先立ち、蓄積電極120の本体構造に変化を与えない程度だけ上端部のライナー膜118を後退させておくことが望ましい(図2(b)、図3(b))。こうすることで、蓄積電極120の上端部における構造変化がライナー膜118に制限されることはない。このようにライナ

—膜118を後退させることにより蓄積電極120の上端部をより球面に近い形状にできるので、電界集中やリーク電流を低減することができる。

【0035】

なお、ライナー膜118を設けない場合であっても、層間絶縁膜114と蓄積電極120との間の密着性が強い場合には、ライナー膜118の場合と同様に層間絶縁膜114の表面を僅かに後退させることにより、同様の効果を得ることができる(図1(b))。

【0036】

シリンド型キャパシタにおいては、層間絶縁膜114及びライナー膜118を除去して蓄積電極120の外側面を露出した後、熱処理を行うようにしてもよい(図1(c)、図2(d)、図3(d))。ただし、蓄積電極120が高さが高いなど熱処理に伴う蓄積電極120の形状変化が著しい場合には、蓄積電極120を支える支持材としてライナー膜118を利用することが望ましい。この場合、蓄積電極120の構造変化に影響を与えない程度だけライナー膜118を後退した状態で熱処理を行い(図2(c)、図3(c))、その後に外側面に残存するライナー膜を除去するようにすればよい(図2(d)、図3(d))。

【0037】

なお、ライナー膜118を後退させる際のエッティング量は、熱処理後における蓄積電極120上端部の曲率半径をdとして、2d以上とすることが望ましい。ライナー膜118を後退させる量をこのように設定することにより、蓄積電極120の構造変化がライナー膜118によって制限されるのを的確に防止することができる。或いは、ライナー膜118を後退させる際のエッティング量を蓄積電極120の膜厚の半分とほぼ等しい量に設定することにより、蓄積電極120の先端部分のみを丸めることができるので、電極材の幹部分の変形を抑制することができる。

【0038】

熱処理は、必ずしも一の過程のみで行う必要はなく、複数の過程において行ってよい。例えば、図3(c)に示す過程で熱処理を行った後、図3(d)に示す過程で再度熱処理を行ってよい。

【0039】

熱処理後の蓄積電極120の形状は、ライナー膜118の有無、ライナー膜118の後退の有無、ライナー膜118の後退の量、熱処理を行う過程、熱処理温度、熱処理前の蓄積電極120の構造等の違いにより、様々に変化する。典型的な条件で熱処理を行った場合の蓄積電極120の形状は、例えば以下のようになる。

【0040】

ライナー膜118を形成しない場合、或いは、ライナー膜118を形成するがライナー膜118を後退しない場合には、蓄積電極の形状は、層間絶縁膜114と蓄積電極120との密着性によって決定される。密着性が乏しい場合、図4（a）、（b）に示すように、上端部の角部が丸まる構造となる。密着性が強い場合には、図4（c）に示すように、層間絶縁膜114側の構造変化が制限され、内側面側の角部のみが丸まる構造となる。

【0041】

ライナー膜118を蓄積電極120の厚さ程度後退した状態で熱処理を行った場合には、先端部の曲率半径は熱処理前の蓄積電極120の厚さの約半分程度となり、図4（a）に示すように、蓄積電極120は上端部の角部がとれて丸まる構造となる。ライナー膜118を蓄積電極120の膜厚よりも後退した状態で熱処理を行った場合には、先端部の曲率半径は熱処理前の蓄積電極120の厚さの約半分よりも大きくなり、図4（d）に示すように、角部がとれて丸まるとともに上端部の太さが他の部分よりも太い、先太りの構造となる。また、ライナー膜118をさらに除去して蓄積電極120の外側面を露出した後に熱処理を行った場合には、図4（f）に示すように、蓄積電極120の先端部分ほど太くなる先太り構造となる。また、熱処理前の蓄積電極120の厚さが上に行くほど薄くなっているような場合には、先端部分の下にくびれが入る構造となる（図4（e））。

【0042】

また、開口部のテーパ角度によっては、図4（g）、（h）に示すように、蓄積電極120の先端部が内側面側に傾く形状となる。

【0043】

図5は、キャパシタ誘電体膜の膜厚に対する電極の曲率半径の比の電界集中への影響を理論計算によって求めた結果を示すグラフである。図中、点線は側面のみを電極面とする円筒形のキャパシタの場合を示し、実線は球形のキャパシタの場合を示している。シリンド型キャパシタの場合、実線と点線に挟まれた領域に相当する。

【0044】

DRAMのような微細な構造に適用される高誘電体キャパシタでは、キャパシタ誘電体膜の膜厚は蓄積電極の膜厚の約半分程度であり、上端部を略球面形状とすることにより、キャパシタ誘電体膜の膜厚に対する電極の曲率半径の比は約1程度となる。したがって、図5から判るように、上端部を角部に丸みを付けて略球面形状とすることにより、電界集中は平面部と比較して1.5~2倍程度に抑えることができる。また、図4(d)に示すように先端部に略球面形状を有する先太り構造の場合、キャパシタ誘電体膜の膜厚に対する電極の曲率半径の比をさらに大きくすることができ、電界集中をさらに抑えることが可能となる。

【0045】

図6は、上記の電界集中の効果を考慮して、平面型キャパシタにおけるリーク電流の実測値からシリンド型キャパシタのリーク電流を見積もったものである。図示するように、平面型キャパシタからシリンド型キャパシタにすることで、電界集中の効果のみによってリーク電流が増加していることが判る。したがって、シリンド型キャパシタでは、キャパシタ誘電体膜の膜厚に対する電極の曲率半径の比を以下にして大きくすることが重要であるかが判る。

【0046】

上述のように、図4(d)に示すように先端部に略球面形状を有する先太り構造は、蓄積電極120の厚みよりも大きな直径の略球面形状が先端部に形成されるため、電界集中を抑制する効果がきわめて高い。その反面、図7(a)に示すように、開口部116の内径を狭め、キャパシタ誘電体膜やプレート電極の形成が困難になる虞がある。このような場合、図7(b)に示すように、層間絶縁膜114に形成する開口部116を順テーパ形状とすることで、蓄積電極120が

先太りになることによる内径の縮小を防止することができる。

【0047】

なお、本願発明者等は、蓄積電極を形成した後に熱処理を行うと、蓄積電極120が内側面側に傾斜することを確認している。したがって、蓄積電極120の形成の際には、開口部116を順テープ形状としておくことが望ましいと考えられる。開口部116を順テープ形状にしておくことで、熱処理後の蓄積電極120の側壁部をほぼ垂直に近い状態に成形することができる。

【0048】

テープ角度は、大きすぎると蓄積電極120の高さを十分に高くできないため、1度程度が好ましく、大きくても4度程度以下に設定することが望ましい。

【0049】

すなわち、上記目的は、半導体基板上に形成され、蓄積電極と、前記蓄積電極上に形成されたキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成されたプレート電極とからなるキャパシタを有する半導体装置であって、前記蓄積電極は、上端部が丸まっており、前記上端部の厚さが他の領域の厚さよりも厚いことを特徴とする半導体装置によって達成される。

【0050】

また、上記目的は、半導体基板上に、絶縁膜を形成する工程と、前記絶縁膜に開口部を形成する工程と、前記半導体基板に電気的に接続され、前記開口部内に形成された蓄積電極を形成する工程と、前記蓄積電極の上端部に丸みをつけるための熱処理を行う工程と、前記蓄積電極上に、キャパシタ誘電体膜を形成する工程と、前記キャパシタ誘電体膜上に、プレート電極を形成する工程を有することを特徴とする半導体装置の製造方法によっても達成される。

【0051】

【発明の実施の形態】

【第1実施形態】

本発明の第1実施形態による半導体装置及びその製造方法について図8乃至図18を用いて説明する。

【0052】

図8は本実施形態による半導体装置の構造を示す平面図、図9は本実施形態による半導体装置の構造を示す概略断面図、図10乃至図18は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0053】

はじめに、本実施形態による半導体装置の構造について図8及び図9を用いて説明する。なお、図9は、図8のB-B'線断面に沿った概略断面図である。

【0054】

シリコン基板10上には、素子領域を画定する素子分離膜12が形成されている。素子領域上には、ゲート電極20とソース／ドレイン拡散層24、26とを有するメモリセルトランジスタが形成されている。ゲート電極20は、図8に示すように、ワード線を兼ねる導電膜としても機能する。メモリセルトランジスタが形成されたシリコン基板10上には、ソース／ドレイン拡散層24に接続されたプラグ36及びソース／ドレイン拡散層26に接続されたプラグ38とが埋め込まれた層間絶縁膜30が形成されている。

【0055】

層間絶縁膜30上には、層間絶縁膜40が形成されている。層間絶縁膜40上には、プラグ36を介してソース／ドレイン拡散層24に接続されたビット線48が形成されている。ビット線48は、図8に示すように、ワード線（ゲート電極20）と交わる方向に延在して複数形成されている。ビット線48が形成された層間絶縁膜40上には、層間絶縁膜58が形成されている。層間絶縁膜58には、プラグ38に接続されたプラグ62が埋め込まれている。

【0056】

層間絶縁膜58上には、エッチングストッパ膜64、層間絶縁膜66及びエッチングストッパ膜68が形成されている。エッチングストッパ膜68上には、エッチングストッパ膜68、層間絶縁膜66、エッチングストッパ膜64を貫きプラグ62に接続され、エッチングストッパ膜68上に突出して形成されたシリンドラ状の蓄積電極76が形成されている。蓄積電極76の上端部は角部に丸みが付けられた略球面形状になっている。蓄積電極76上には、キャパシタ誘電体膜78を介してプレート電極88が形成されている。

【0057】

プレート電極88上には、層間絶縁膜90が形成されている。層間絶縁膜90上には、プラグ96を介してプレート電極88に接続され、或いは、プラグ98を介してピット線48に接続された配線層100が形成されている。配線層100が形成された層間絶縁膜90上には、層間絶縁膜102が形成されている。

【0058】

こうして、1トランジスタ、1キャパシタよりなるメモリセルを有するDRA Mが構成されている。

【0059】

このように、本実施形態による半導体装置は、シリンドラ型のキャパシタにおいて、蓄積電極76が、上端部の角部に丸みが付けられた略球面形状を有する構造となっていることに主たる特徴がある。このようにして半導体装置を構成することにより、蓄積電極76の上端部における電界集中を緩和し、リーク電流の増加やキャパシタ誘電体膜の絶縁破壊を防止することができる。

【0060】

次に、本実施形態による半導体装置の製造方法について図10乃至図18を用いて説明する。なお、図及び図は図8のA-A'線断面における工程断面図を表し、図乃至図は、図8のB-B'線断面における工程断面図を表している。

【0061】

まず、シリコン基板10の主表面上に、例えば、STI (Shallow Trench Isolation) 法により、素子分離膜12を形成する(図10(a))。例えば、まず、シリコン基板10上に膜厚100nmのシリコン窒化膜(図示せず)を形成する。次いで、このシリコン窒化膜を、素子領域となる領域に残存するようにパターニングする。次いで、パターニングしたシリコン窒化膜をハードマスクとしてシリコン基板10をエッチングし、シリコン基板10に例えば深さ200nmの素子分離溝を形成する。次いで、例えばCVD法によりシリコン酸化膜を全面に堆積した後、シリコン窒化膜が露出するまでこのシリコン酸化膜をCMP(化学的機械的研磨: Chemical Mechanical Polishing)法により研磨し、素子分離溝内に選択的にシリコン酸化膜を残存させる。この後、シリコン窒化膜を除去し、

シリコン基板10の素子分離溝に埋め込まれたシリコン酸化膜よりなる素子分離膜12を形成する。

【0062】

次いで、メモリセル領域のシリコン基板10中にPウェル（図示せず）を形成し、しきい値電圧制御のためのイオン注入を行う。

【0063】

次いで、素子分離膜12により画定された複数の素子領域上に、例えば熱酸化法により、例えば膜厚5nmのシリコン酸化膜よりなるゲート絶縁膜14を形成する。なお、ゲート絶縁膜14としては、シリコン窒化酸化膜などの他の絶縁膜を適用してもよい。

【0064】

次いで、ゲート絶縁膜14上に、例えばポリシリコン膜16とタンゲステン膜18との積層膜よりなるポリメタル構造のゲート電極20を形成する（図10（b））。例えば、膜厚70nmのポリシリコン膜16と、膜厚5nmのタンゲステンナイトライド（WN）膜（図示せず）と、膜厚40nmのタンゲステン膜18と、膜厚200nmのシリコン窒化膜22とを順次堆積した後、リソグラフィー技術及びエッチング技術によりこれら膜を同一の形状にパターニングし、上面がシリコン窒化膜22で覆われ、タンゲステンナイトライド膜を介してポリシリコン膜16及びタンゲステン膜18が積層されてなるポリメタル構造のゲート電極20を形成する。なお、ゲート電極20は、ポリメタル構造に限られるものではなく、ポリゲート構造、ポリサイド構造、或いは、金属ゲート等を適用してもよい。

【0065】

次いで、ゲート電極20をマスクとしてイオン注入を行い、ゲート電極20の両側のシリコン基板10中にソース／ドレイン拡散層24、26を形成する。

【0066】

こうして、シリコン基板10上に、ゲート電極20、ソース／ドレイン拡散層24、26を有するメモリセルトランジスタを形成する。

【0067】

次いで、全面に、例えばCVD法により、例えば膜厚35nmのシリコン窒化膜を堆積した後にエッチバックし、ゲート電極20及びシリコン窒化膜22の側壁にシリコン窒化膜よりなるサイドウォール絶縁膜28を形成する（図10（c）、図12（a））。

【0068】

次いで、全面に、例えばCVD法により例えばBPSG膜を堆積した後、リフロー法及びCMP法等により、シリコン窒化膜18が露出するまでその表面を研磨し、表面が平坦化されたBPSG膜よりなる層間絶縁膜30を形成する。

【0069】

次いで、リソグラフィー技術及びエッチング技術により、層間絶縁膜30に、ソース／ドレイン拡散層24に達するスルーホール32と、ソース／ドレイン拡散層26に達するコンタクトホール34とを、ゲート電極20及びサイドウォール絶縁膜28に対して自己整合的に形成する（図10（d）、図12（b））。

【0070】

次いで、層間絶縁膜30に開口されたコンタクトホール32、34内に、プラグ36、38をそれぞれ埋め込む（図11（a）、図12（c））。例えば、CVD法により、砒素ドープした多結晶シリコン膜を堆積した後、CMP法によりシリコン窒化膜22が露出するまで研磨し、コンタクトホール32、34内のみに多結晶シリコン膜よりなるプラグ36、38を選択的に残存させる。

【0071】

次いで、全面に、例えばCVD法により、例えば膜厚200nmのシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜40を形成する。

【0072】

次いで、リソグラフィー技術及びエッチング技術により、プラグ36に達するコンタクトホール42を層間絶縁膜40に形成する（図11（b）、図12（d））。

【0073】

次いで、層間絶縁膜40上に、コンタクトホール42を介してプラグ36に接続されたビット線48を形成する（図11（c）、図13（a））。例えば、ま

ず、スパッタ法により、膜厚45nmの窒化チタン(TiN)／チタン(Ti)の積層構造よりなる密着層50と、膜厚250nmのタングステン(W)膜51とを順次堆積する。次いで、CMP法によりタングステン膜51を研磨し、コンタクトホール42内にタングステン膜51よりなるプラグを埋め込む。次いで、スパッタ法により、膜厚30nmのタングステン膜52を堆積する。次いで、CVD法により、タングステン膜52上に、膜厚200nmのシリコン窒化膜54を堆積する。次いで、リソグラフィー技術及びエッチング技術により、シリコン窒化膜54、タングステン膜52及び密着層50をパターニングし、上面がシリコン窒化膜54に覆われ、密着層50及びタングステン膜52よりなり、プラグ36を介してソース／ドレイン拡散層24に接続されたビット線48を形成する。

【0074】

次いで、全面に、例えばCVD法により、例えば膜厚20nmのシリコン窒化膜を堆積した後にエッチバックし、ビット線48及びシリコン窒化膜54の側壁に、シリコン窒化膜よりなるサイドウォール絶縁膜56を形成する(図13(b))。

【0075】

次いで、全面に、例えばCVD法により、例えば膜厚400nmのシリコン酸化膜を堆積し、CMP法によりその表面を研磨し、表面が平坦化されたシリコン酸化膜よりなる層間絶縁膜58を形成する。

【0076】

次いで、リソグラフィー技術及びエッチング技術により、層間絶縁膜58、40に、プラグ38に達するコンタクトホール60を形成する(図13(c))。このとき、シリコン窒化膜に対して高い選択比をもつエッチング条件でシリコン酸化膜をエッチングすることにより、ビット線48上を覆うシリコン窒化膜54及びビット線48の側壁に形成されたサイドウォール絶縁膜56に自己整合でコンタクトホール60を開口することができる。

【0077】

次いで、全面に、例えばスパッタ法により、膜厚25nmの窒化チタン／チタ

ンの積層構造よりなる密着層と、膜厚250nmのタンゲステン膜とを堆積した後、層間絶縁膜58の表面が露出するまでCMP法により研磨し、コンタクトホール60内に埋め込まれたプラグ62を形成する（図14（a））。

【0078】

次いで、全面に、例えばCVD法により、例えば膜厚40nm程度のシリコン窒化膜を堆積し、シリコン窒化膜よりなるエッチングストッパ膜64を形成する。

【0079】

次いで、エッチングストッパ膜64上に、例えばCVD法により、例えば膜厚100nmのシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜66を形成する。

【0080】

次いで、層間絶縁膜66上に、例えばCVD法により、例えば膜厚40nm程度のシリコン窒化膜を堆積し、シリコン窒化膜よりなるエッチングストッパ膜68を形成する。

【0081】

次いで、エッチングストッパ膜68上に、例えばCVD法により、例えば膜厚600nmのシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜70を形成する（図14（b））。

【0082】

次いで、リソグラフィー技術及びエッチング技術により、層間絶縁膜70、エッチングストッパ膜68、層間絶縁膜66、エッチングストッパ膜64をパターニングし、蓄積電極の形成予定領域に、これら膜を貫いてプラグ62に達する開口部72を形成する（図15（a））。このとき、開口部72の側面が、例えば3度程度のテーパ角度を有する形状となるように、これら膜をパターニングする。

【0083】

次いで、全面に、例えばCVD法により、膜厚10nmの窒化チタン膜を堆積する。

【0084】

次いで、窒化チタン膜上に、膜厚40nmのルテニウム(Ru)膜を堆積する。例えば、スパッタ法により膜厚約10nmのシード層を形成した後、CVD法により膜厚約30nmのルテニウム膜を堆積し、トータル膜厚40nmのルテニウム膜を形成する。CVDによる成膜では、例えば、成膜温度を300°C、圧力を0.05Torr、ルテニウム源としてのRu(EtCp)₂の流量を0.06cc、O₂ガス流量を160sccmとしてルテニウム膜を成膜する。

【0085】

次いで、フォトレジスト膜(図示せず)を塗布し、窒化チタン膜及びルテニウム膜が形成された開口部72内を埋め込む。

【0086】

次いで、例えばCMP法及び反応性イオンエッティング法により、層間絶縁膜70の表面が露出するまでフォトレジスト膜、ルテニウム膜及び窒化チタン膜を研磨するとともに、開口部72内のフォトレジスト膜を除去し、開口部72の内壁に沿って形成され、窒化チタン膜よりなるライナー膜74と、ルテニウム膜よりなる蓄積電極76とを形成する(図15(b))。

【0087】

なお、蓄積電極76を構成するための導電膜は、後に形成するキャパシタ誘電体膜78との相性に応じて適宜選択する。例えば、キャパシタ誘電体膜78としてTa₂O₅のような誘電体膜を用いる場合には、蓄積電極76としてルテニウム、酸化ルテニウム(RuO_x)、タンゲステン、窒化タンゲステン、ポリシリコン、窒化チタンなどを用いることができる。また、キャパシタ誘電体78としてBST(BaSrTiO_x)やST(SrTiO_x)のような誘電体膜を用いる場合には、蓄積電極76としてはプラチナ(Pt)、Ru、RuO_x、W、SR_O(SrRuO₃)などを用いることができる。更に、キャパシタ誘電体膜74としてPZTのような誘電体膜を用いる場合には、蓄積電極62としてPtなどを用いることができる。その他、酸化チタン(TiO_x)、アルミナ(Al₂O₃)、SBT(SrBiTiO_x)などの誘電体膜を用いる場合にも、これら誘電体膜との相性に応じて適宜選択すればよい。

【0088】

また、本実施形態において、ライナー膜74は、プラグ62と蓄積電極76との密着性を高めるための膜であり、プラグ62と蓄積電極76との密着性が十分な場合には必ずしも形成する必要はない。また、図2に示すように開口部72の側壁部分のみに形成してもよく、この場合には、例えばシリコン窒化膜や酸化タンタルなどの絶縁膜を用いることもできる。ライナー膜74の有無及びそれを構成するための材料は、層間絶縁膜、プラグ62、蓄積電極76に対する密着性を考慮したうえで適宜選択することが望ましい。

【0089】

次いで、例えば弗酸水溶液を用いたウェットエッティングなどの等方性エッティングにより、エッティングストッパ膜68をストッパとして、層間絶縁膜70を選択的にエッティングする（図16（a））。

【0090】

次いで、ライナー膜74を、例えば硫酸と過酸化水素とを含む水溶液により、蓄積電極76、エッティングストッパ膜68、層間絶縁膜66に対して選択的にエッティングする（図16（b））。このエッティングは、ライナー膜74と後に形成するキャパシタ誘電体膜78との相性が悪い場合を考慮したものであり、ライナー膜74と蓄積電極76との相性がよい場合には、必ずしもライナー膜74を除去する必要はない。ライナー膜74のエッティングは、少なくともエッティングストッパ膜68と蓄積電極76との間に間隙が形成されるまで行うことが望ましい。なお、キャパシタ誘電体膜との相性に基づいて密着層を除去する技術については、例えば、同一出願人による特願平10-315370号明細書に詳述されている。

【0091】

次いで、蓄積電極76の上端部の角部に丸みをつけるための熱処理を行い、蓄積電極76の上端部を略球面形状に成形する。例えば、圧力1Torrの水素と窒素を含む雰囲気中で、540℃の熱処理を行うことにより、蓄積電極76を構成するルテニウムの結晶を再構成し、蓄積電極76の上端部の角部に丸みをつける。

【0092】

この熱処理により、蓄積電極76の上端部の角部が略球面形状に成形されるとともに、蓄積電極76の全体的な形状も、開口部72のテーパ角度を反映したテーパ形状からほぼ垂直の形状に変化する（図17（a））。

【0093】

次いで、全面に、例えばCVD法により、例えば膜厚10～30nmのTa₂O₅膜或いはBST膜を堆積し、Ta₂O₅或いはBSTよりなるキャパシタ誘電体膜78を形成する。

【0094】

次いで、全面に、例えばCVD法により、例えば膜厚30～50nmのルテニウム膜を堆積し、ルテニウム膜よりなるプレート電極88を形成する。例えば、スパッタ法により膜厚約10nmのシード層を形成した後、CVD法によりルテニウム膜を堆積し、所定の膜厚のルテニウム膜を形成する。CVDによる成膜では、例えば、成膜温度を300°C、圧力を0.05Torr、ルテニウム源としてのRu(EtCp)₂の流量を0.06cc、O₂ガス流量を160sccmとしてルテニウム膜を成膜する。

【0095】

次いで、リソグラフィー技術及びエッチング技術により、プレート電極88及びキャパシタ誘電体膜78をパターニングし、周辺回路領域のプレート電極88及びキャパシタ誘電体膜78を除去する（図17（b））。

【0096】

次いで、全面に、例えばCVD法により、例えば膜厚1000nmのシリコン酸化膜を堆積し、CMP法によりその表面を研磨し、表面が平坦化されたシリコン酸化膜よりなる層間絶縁膜90を形成する。

【0097】

次いで、層間絶縁膜90上に、コンタクトホール92内に埋め込まれたプラグ96を介してプレート電極88に接続され、或いは、コンタクトホール94内に埋め込まれたプラグ98を介してビット線48に接続された配線層100を形成する（図18）。

【0098】

こうして、1トランジスタ、1キャパシタよりなるメモリセルを有するDRA Mを製造することができる。

【0099】

このように、本実施形態によれば、シリンド型のキャパシタにおいて、蓄積電極を、角部に丸みが付けられた略球面形状に成形するので、蓄積電極の上端部における電界集中を緩和し、リーク電流の増加やキャパシタ誘電体膜の絶縁破壊を防止することができる。

【0100】

【第2実施形態】

本発明の第2実施形態による半導体装置及びその製造方法について図19乃至図22を用いて説明する。なお、図8乃至図18に示す第1実施形態による半導体装置と同様の構成要素には同一の符号を付し説明を省略し或いは簡略にする。

【0101】

図19は本実施形態による半導体装置の構造を示す概略断面図、図20乃至図22は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0102】

はじめに、本実施形態による半導体装置の構造について図17を用いて説明する。なお、本実施形態による半導体装置の構造は、平面的には図8に示す第1実施形態による半導体装置と同じであり、図19は図8のB-B'線断面に沿った概略断面図である。

【0103】

シリコン基板10上には、素子領域を画定する素子分離膜12が形成されている。素子領域上には、ゲート電極20とソース/ドレイン拡散層24、26とを有するメモリセルトランジスタが形成されている。ゲート電極20は、図8に示すように、ワード線を兼ねる導電膜としても機能する。メモリセルトランジスタが形成されたシリコン基板10上には、ソース/ドレイン拡散層24に接続されたプラグ36及びソース/ドレイン拡散層26に接続されたプラグ38とが埋め込まれた層間絶縁膜30が形成されている。

【0104】

層間絶縁膜30上には、層間絶縁膜40が形成されている。層間絶縁膜40上には、プラグ36を介してソース／ドレイン拡散層24に接続されたビット線48が形成されている。ビット線48は、図8に示すように、ワード線（ゲート電極20）と交わる方向に延在して複数形成されている。ビット線48が形成された層間絶縁膜40上には、層間絶縁膜58が形成されている。層間絶縁膜58には、プラグ38に接続されたプラグ62が埋め込まれている。

【0105】

層間絶縁膜58上には、エッチングストッパ膜64、層間絶縁膜66及びエッチングストッパ膜68、層間絶縁膜70が形成されている。層間絶縁膜70には、層間絶縁膜70、エッチングストッパ膜68、層間絶縁膜66、エッチングストッパ膜64を貫きプラグ62に達する開口部72が形成されている。開口部72内には、その内壁及び底部に沿って、ライナー膜74及び蓄積電極が形成されている。蓄積電極76の上端部の形状は、略球面形状になっている。蓄積電極76上には、キャパシタ誘電体膜78を介してプレート電極88が形成されている。

【0106】

プレート電極88上には、層間絶縁膜90が形成されている。層間絶縁膜90上には、プラグ96を介してプレート電極88に接続され、或いは、プラグ98を介してビット線48に接続された配線層100が形成されている。配線層100が形成された層間絶縁膜90上には、層間絶縁膜102が形成されている。

【0107】

こうして、1トランジスタ、1キャパシタよりなるメモリセルを有するDRA Mが構成されている。

【0108】

このように、本実施形態による半導体装置は、コンケイブ型のキャパシタにおいて、蓄積電極76が、上端部の角部に丸みが付けられた略球面形状を有する先太りの構造となっていることに主たる特徴がある。このようにして半導体装置を構成することにより、蓄積電極76の上端部における電界集中を緩和し、リーク

電流の増加やキャパシタ誘電体膜の絶縁破壊を防止することができる。

【0109】

次に、本実施形態による半導体装置の製造方法について図20乃至図22を用いて説明する。なお、図20乃至図22は、図8のB-B'線断面における工程断面図を表している。

【0110】

まず、例えば図10(a)乃至図11(c)並びに図12(a)乃至図15(b)に示す第1実施形態による半導体装置の製造方法と同様にして、層間絶縁膜70、エッチングストップ膜68、層間絶縁膜66、エッチングストップ膜64を貢き、プラグ62に達する開口部72内に、その内壁及び底部に沿って形成されたライナー膜74及び蓄積電極76を形成する(図20(a))。

【0111】

次いで、ライナー膜74を、例えば硫酸と過酸化水素とを含む水溶液により、蓄積電極76、エッチングストップ膜68、層間絶縁膜66に対して選択的にエッチングし、層間絶縁膜70の表面から約40nm後退させる(図20(b))。

【0112】

次いで、蓄積電極76の上端部の角部に丸みをつけるための熱処理を行い、蓄積電極76の上端部を略球面形状の先太り構造に成形する(図21(a))。例えば、圧力1Torrの水素と窒素とを含む雰囲気中で、540°Cの熱処理を行うことにより、蓄積電極76を構成するルテニウムの結晶を再構成し、蓄積電極76の上端部の角部に丸みをつける。

【0113】

図23は、熱処理前後における蓄積電極76の形状を示す断面SEM写真である。図示するように、形成直後ではディッシングにより内側面側が窪み、外側面側に鋭角の角部が存在しているが(図23(a))、熱処理後ではこの角部に丸みが付き略球面形状の先太り構造に成形されている(図23(b))。また、熱処理後では、底面と側面との境界部の形状にも丸みがついている。

【0114】

次いで、全面に、例えばCVD法により、例えば膜厚10~30nmのTa₂O₅膜或いはBST膜を堆積し、Ta₂O₅或いはBSTよりなるキャパシタ誘電体膜78を形成する。

【0115】

次いで、全面に、例えばCVD法により、例えば膜厚30~50nmのルテニウム膜を堆積し、ルテニウム膜よりなるプレート電極88を形成する。例えば、スパッタ法により膜厚約10nmのシード層を形成した後、CVD法によりルテニウム膜を堆積し、所定の膜厚のルテニウム膜を形成する。CVDによる成膜では、例えば、成膜温度を300°C、圧力を0.05Torr、ルテニウム源としてのRu(Et₂Cp)₂の流量を0.06cc、O₂ガス流量を160sccmとしてルテニウム膜を成膜する。

【0116】

次いで、リソグラフィー技術及びエッチング技術により、プレート電極88及びキャパシタ誘電体膜78をパターニングし、周辺回路領域のプレート電極88及びキャパシタ誘電体膜78を除去する(図21(b))。

【0117】

次いで、全面に、例えばCVD法により、例えば膜厚1000nmのシリコン酸化膜を堆積し、CMP法によりその表面を研磨し、表面が平坦化されたシリコン酸化膜よりなる層間絶縁膜90を形成する。

【0118】

次いで、層間絶縁膜90上に、コンタクトホール92内に埋め込まれたプラグ96を介してプレート電極88に接続され、或いは、コンタクトホール94内に埋め込まれたプラグ98を介してピット線48に接続された配線層100を形成する(図22)。

【0119】

こうして、1トランジスタ、1キャパシタよりなるメモリセルを有するDRAMを製造することができる。

【0120】

図24は、蓄積電極に丸みを付ける熱処理を行った試料と行わなかった試料と

におけるキャパシタのリーク電流特性を示すグラフである。図示するように、熱処理を行うことによりリーク電流が低減されており、この熱処理によって電極上端部における電界集中が緩和されることを確認できた。

【0121】

このように、本実施形態によれば、コンケイブ型のキャパシタにおいて、蓄積電極を、角部に丸みが付けられた略球面形状を有する先太りの構造に成形するので、蓄積電極の上端部における電界集中を緩和し、リーク電流の増加やキャパシタ誘電体膜の絶縁破壊を防止することができる。

【0122】

【変形実施形態】

本発明は上記実施形態に限らず種々の変形が可能である。

【0123】

例えば、上記第1実施形態では、ライナー膜74を除去して蓄積電極76の外側面を露出した後に熱処理を行っているが、図2(b)或いは図2(c)に示すようにライナー膜の上端部を後退した状態で熱処理を行うようにしてもよい。また、熱処理は一回に限られるものではなく、これら過程において複数回の熱処理を行ってもよい。

【0124】

また、上記第2実施形態では、蓄積電極の厚さの半分以上のライナー膜を後退した後に熱処理を行い、先太り構造の蓄積電極に成形しているが、ライナー膜を後退せず、蓄積電極の内側面側の角部のみに丸みを付けてもよい。また、蓄積電極の厚さの半分程度のライナー膜を後退した後に熱処理を行い、蓄積電極の厚さの半分程度の曲率半径を有するように丸みを付けてもよい。

【0125】

熱処理の過程及び熱処理後の蓄積電極の形状は、例えば図1乃至図4に示すように、適宜選択することができる。

【0126】

また、上記第1実施形態ではシリンダ型キャパシタを有する半導体装置に本発明を適用した一例を、上記第2実施形態ではコンケイブ型キャパシタを有する半

導体装置に本発明を適用した一例を示したが、本発明はシリンド型キャパシタやコンケイブ型キャパシタに限定されるものではない。

【0127】

例えば、柱状の蓄積電極76を利用したピラー型キャパシタを有する半導体装置において蓄積電極76の上端部の角部を丸めるようにしてもよいし（図25）、厚膜スタック型キャパシタを有する半導体装置において蓄積電極の上端部の角部を丸めるようにしてもよい。

【0128】

ピラー型キャパシタの場合、例えば第1実施形態による半導体装置の製造方法における図15（b）に示す工程において、開口部72を埋め込むように蓄積電極76を形成し、その後、角部に丸みを付ける熱処理を行うようにすればよい。また、厚膜スタック型キャパシタの場合、蓄積電極となるルテニウム膜をパターニングした後、角部に丸みを付ける熱処理を行うようにすればよい。

【0129】

また、上記実施形態では、蓄積電極としてルテニウム膜を適用した例を示したが、本発明はルテニウム膜に限られるものではない。例えば、ルテニウムと同じ貴金属材料であるプラチナを蓄積電極に適用した場合にも、上記実施形態に記載したと同様の効果を得ることができる。

【0130】

また、上記実施形態では、DRAMに本発明を適用した場合について説明したが、円筒形状の蓄積電極を利用したキャパシタを有する半導体装置に広く適用することができる。例えば、強誘電体キャパシタの分極反転特性を利用した記憶装置として強誘電体メモリが知られているが、本発明を強誘電体メモリに適用することにより、強誘電体メモリにおいても本明細書に記載したと同様の効果を得ることができる。

【0131】

【発明の効果】

以上の通り、本発明によれば、柱状又は円筒形状の蓄積電極を利用したキャパシタを有する半導体装置において、蓄積電極の上端部を、角部に丸みが付けられ

た略球面形状に成形するので、蓄積電極の上端部における電界集中を緩和し、リーク電流の増加やキャパシタ誘電体膜の絶縁破壊を防止することができる。

【図面の簡単な説明】

【図1】

蓄積電極の角部に丸みをつけるための熱処理を行う過程を説明する図（その1）である。

【図2】

蓄積電極の角部に丸みをつけるための熱処理を行う過程を説明する図（その2）である。

【図3】

蓄積電極の角部に丸みをつけるための熱処理を行う過程を説明する図（その3）である。

【図4】

熱処理後の蓄積電極の上端部の形状を示す図である。

【図5】

キャパシタ誘電体膜の膜厚に対する電極の曲率半径の比の電界集中への影響を理論計算によって求めた結果を示すグラフである。

【図6】

平面型キャパシタにおけるリーク電流の実測値から見積もったシリンダ型キャパシタのリーク電流を示すグラフである。

【図7】

開口部をテーパ形状とすることによる効果を説明する図である。

【図8】

本発明の第1実施形態による半導体装置の構造を示す平面図である。

【図9】

本発明の第1実施形態による半導体装置の構造を示す概略断面図である。

【図10】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図11】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図12】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図13】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図14】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その5）である。

【図15】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その6）である。

【図16】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その7）である。

【図17】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その8）である。

【図18】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その9）である。

【図19】

本発明の第2実施形態による半導体装置の構造を示す概略断面図である。

【図20】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図21】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図22】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図23】

熱処理前後における蓄積電極の形状を示す断面SEM写真である。

【図24】

蓄積電極に丸みを付ける熱処理を行った試料と行わなかった試料とにおけるキャパシタのリーク電流特性を示すグラフである。

【図25】

本発明の実施形態の変形例による半導体装置の構造を示す概略断面図である。

【図26】

従来の半導体装置の製造方法を示す工程断面図（その1）である。

【図27】

従来の半導体装置の製造方法を示す工程断面図（その2）である。

【図28】

従来の半導体装置における課題を説明する図である。

【符号の説明】

10…シリコン基板

12…素子分離膜

14…ゲート絶縁膜

16…多結晶シリコン膜

18…タンゲステン膜

20…ゲート電極

22、54…シリコン窒化膜

24、26…ソース／ドレイン拡散層

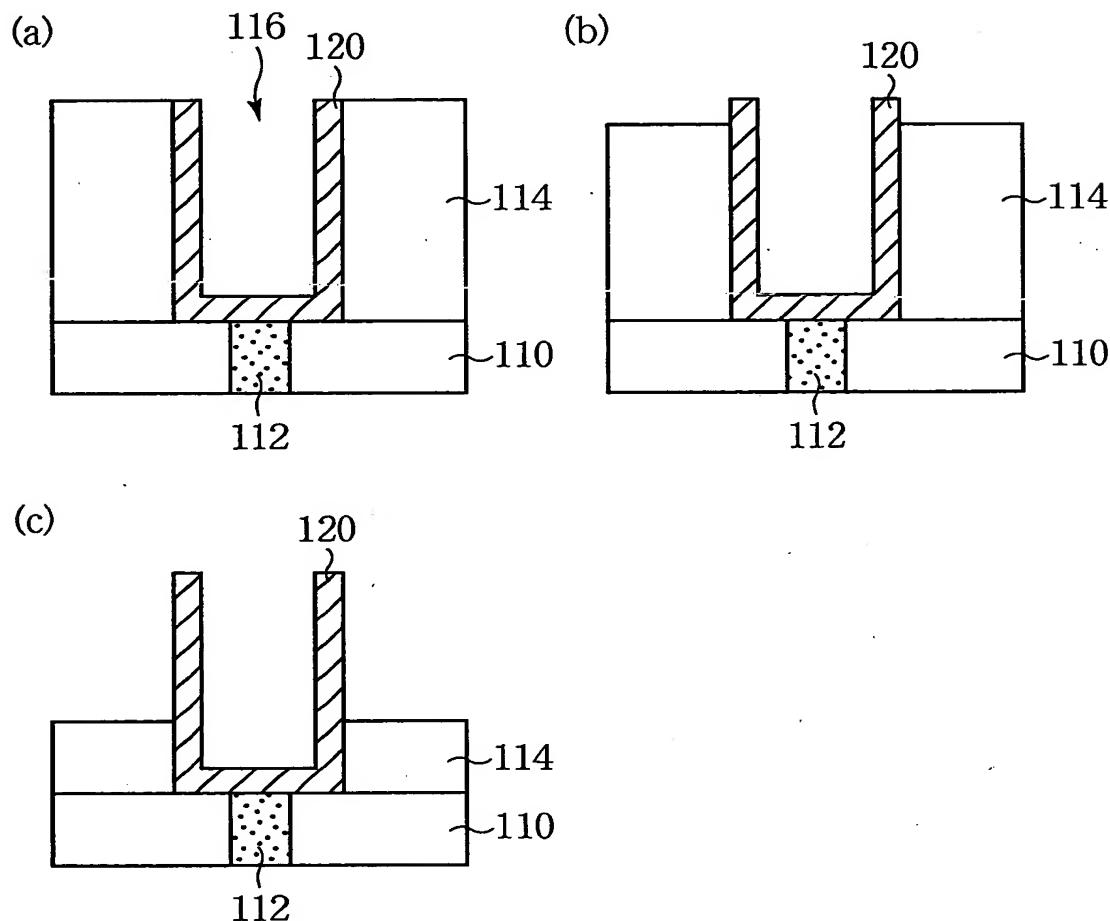
28、56…サイドウォール絶縁膜

30、40、58、66、70、90、102…層間絶縁膜
32、34、60、92、94…コンタクトホール
36、38、62、96、98…プラグ
48…ピット線
50…密着層
52…タンクスチタン膜
64、68…エッチングストッパ膜
72…開口部
74…ライナー膜
76…蓄積電極
78…キャパシタ誘電体膜
88…プレート電極
100…配線層
110、114…層間絶縁膜
112…プラグ
116…開口部
118…ライナー膜
120…蓄積電極
200…シリコン基板
202…素子分離膜
204…ゲート電極
206…ソース／ドレイン拡散層
208、214…層間絶縁膜
210…コンタクトホール
212…プラグ
216…開口部
218…蓄積電極
220…キャパシタ誘電体膜
222…プレート電極

【書類名】 図面

【図1】

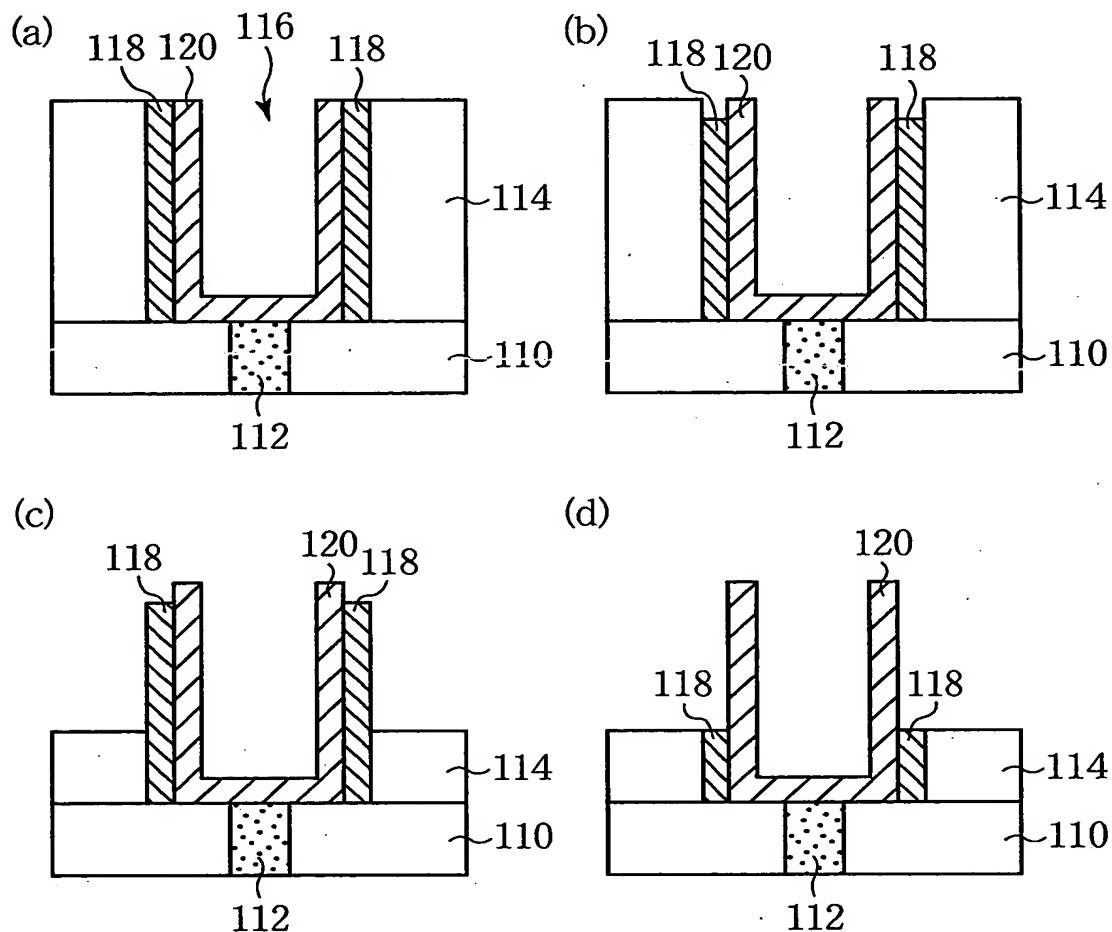
蓄積電極の角部に丸みをつけるための熱処理を行う過程を
説明する図(その1)



110、114…層間絶縁膜
112…プラグ
116…開口部
120…蓄積電極

【図2】

蓄積電極の角部に丸みをつけるための熱処理を行う過程を説明する図(その2)



110、114…層間絶縁膜

112…プラグ

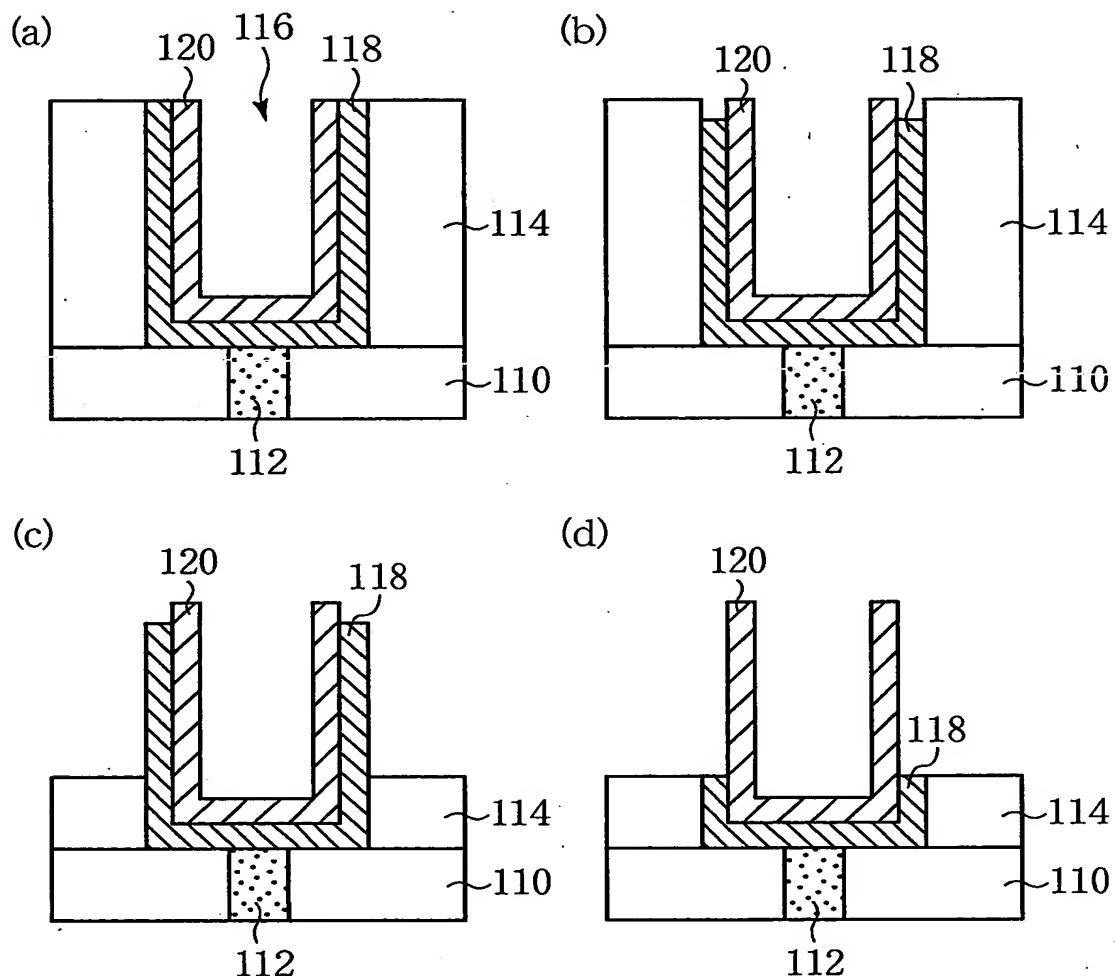
116…開口部

118…ライナー膜

120…蓄積電極

【図3】

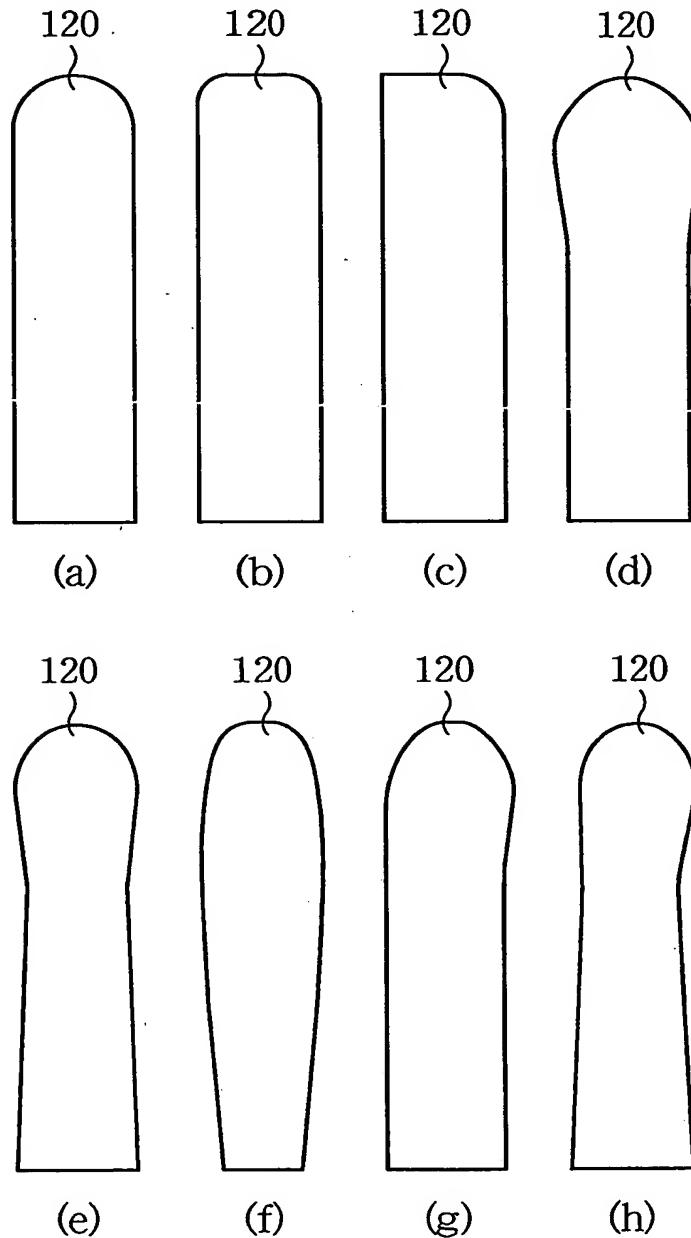
蓄積電極の角部に丸みをつけるための熱処理を行う過程を
説明する図(その3)



110、114…層間絶縁膜
112…プラグ
116…開口部
118…ライナー膜
120…蓄積電極

【図4】

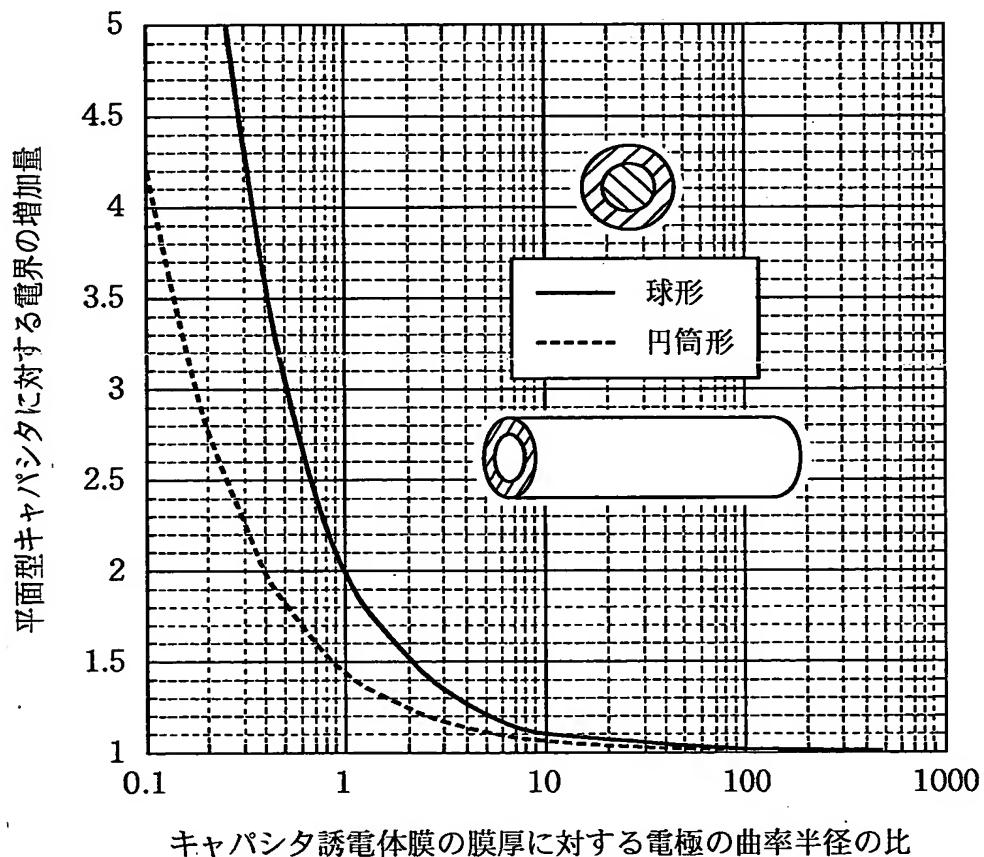
熱処理後の蓄積電極の上端部の形状を示す図



120…蓄積電極

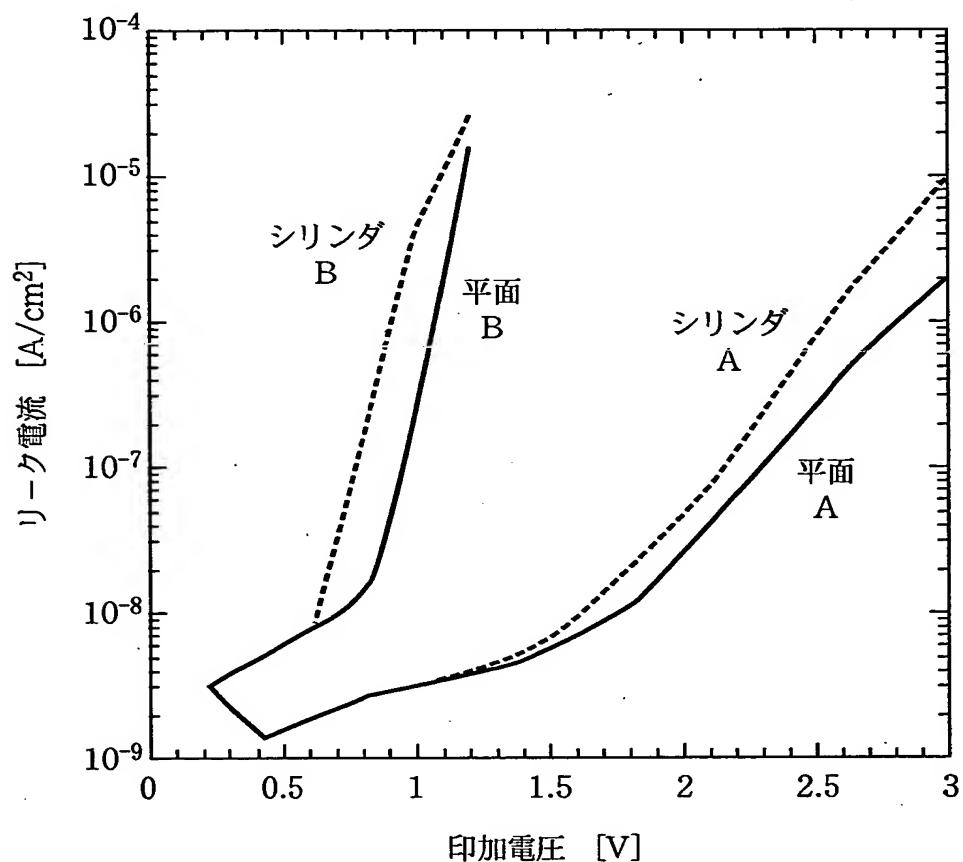
【図5】

キャパシタ誘電体膜の膜厚に対する電極の曲率半径の比の電界集中への影響を理論計算によって求めた結果を示すグラフ



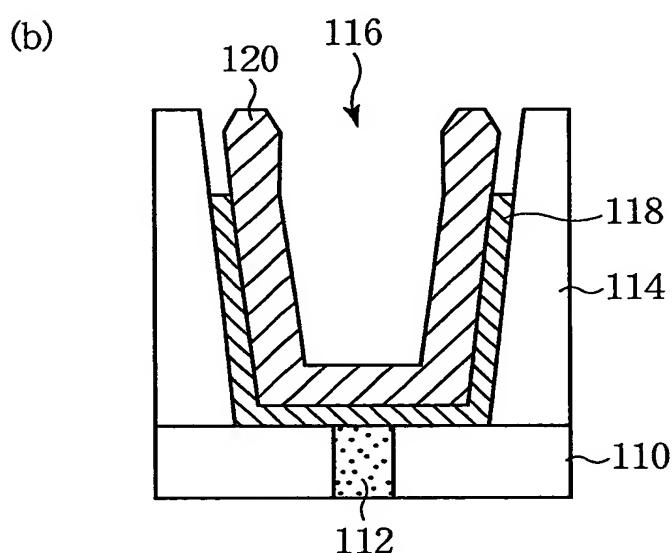
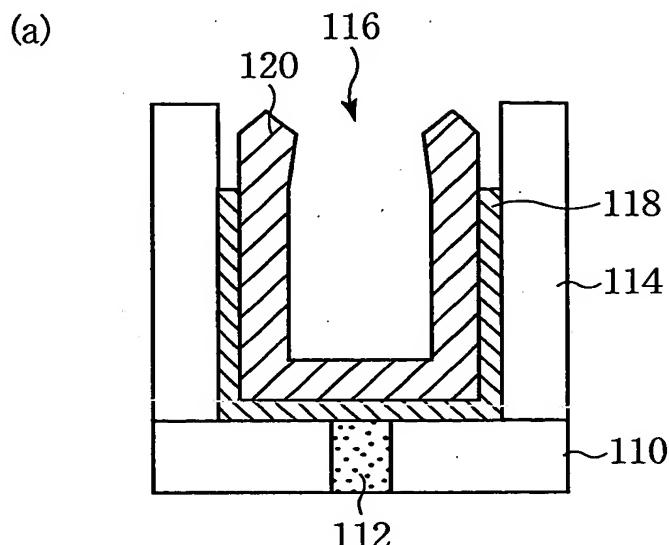
【図6】

平面型キャパシタにおけるリーク電流の実測値から見積もった
シリンド型キャパシタのリーク電流を示すグラフ



【図7】

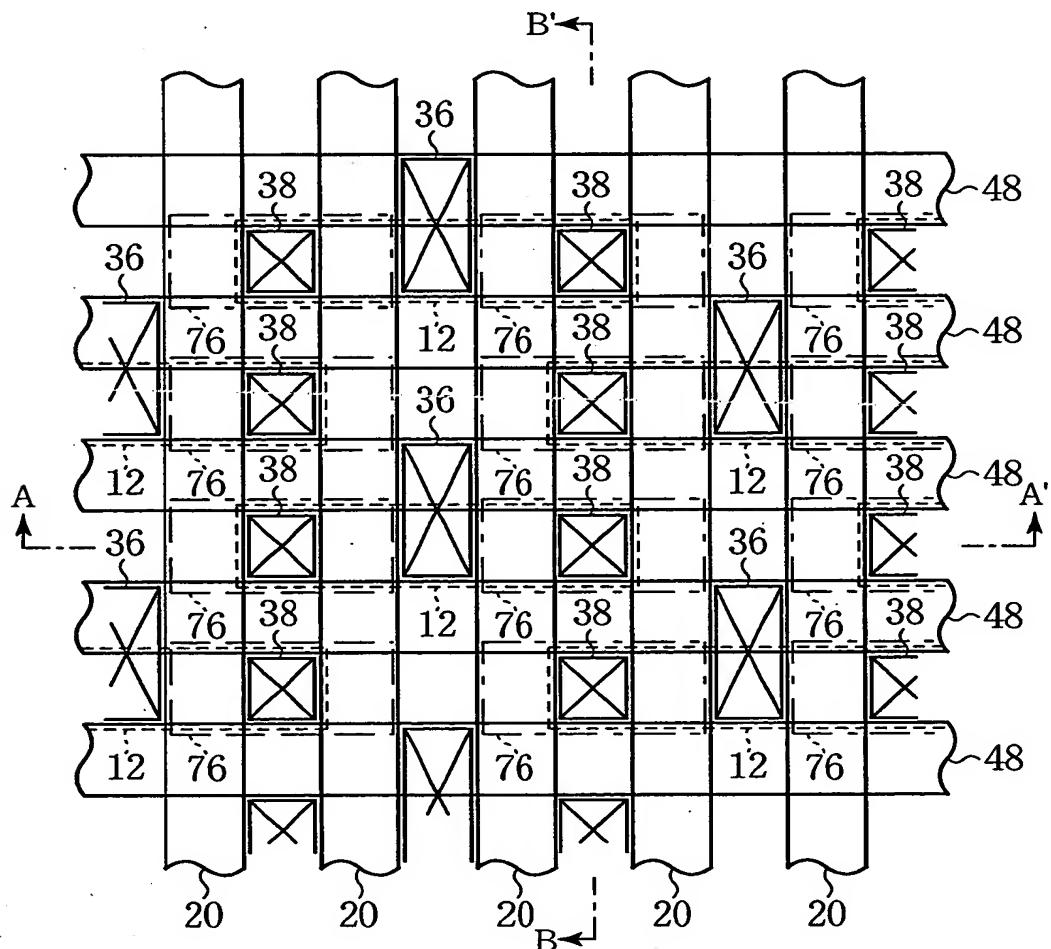
開口部をテーパ形状とすることによる効果を説明する図



110、114…層間絶縁膜
 112…プラグ
 116…開口部
 118…ライナー膜
 120…蓄積電極

【図8】

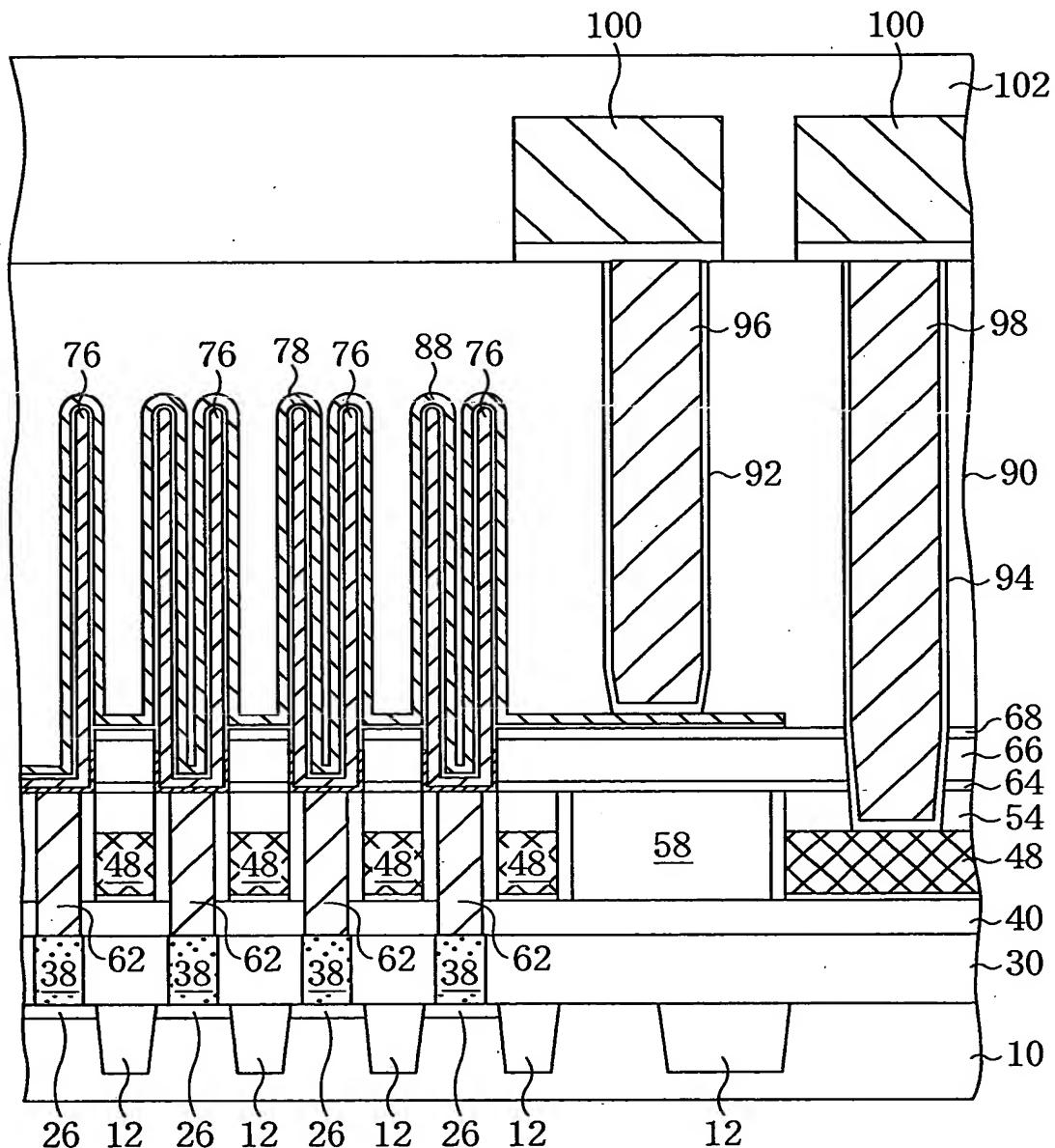
本発明の第1実施形態による半導体装置の構造を示す平面図



12…素子分離膜
20…ゲート電極
36、38…プラグ
48…ピット線
76…蓄積電極

【図9】

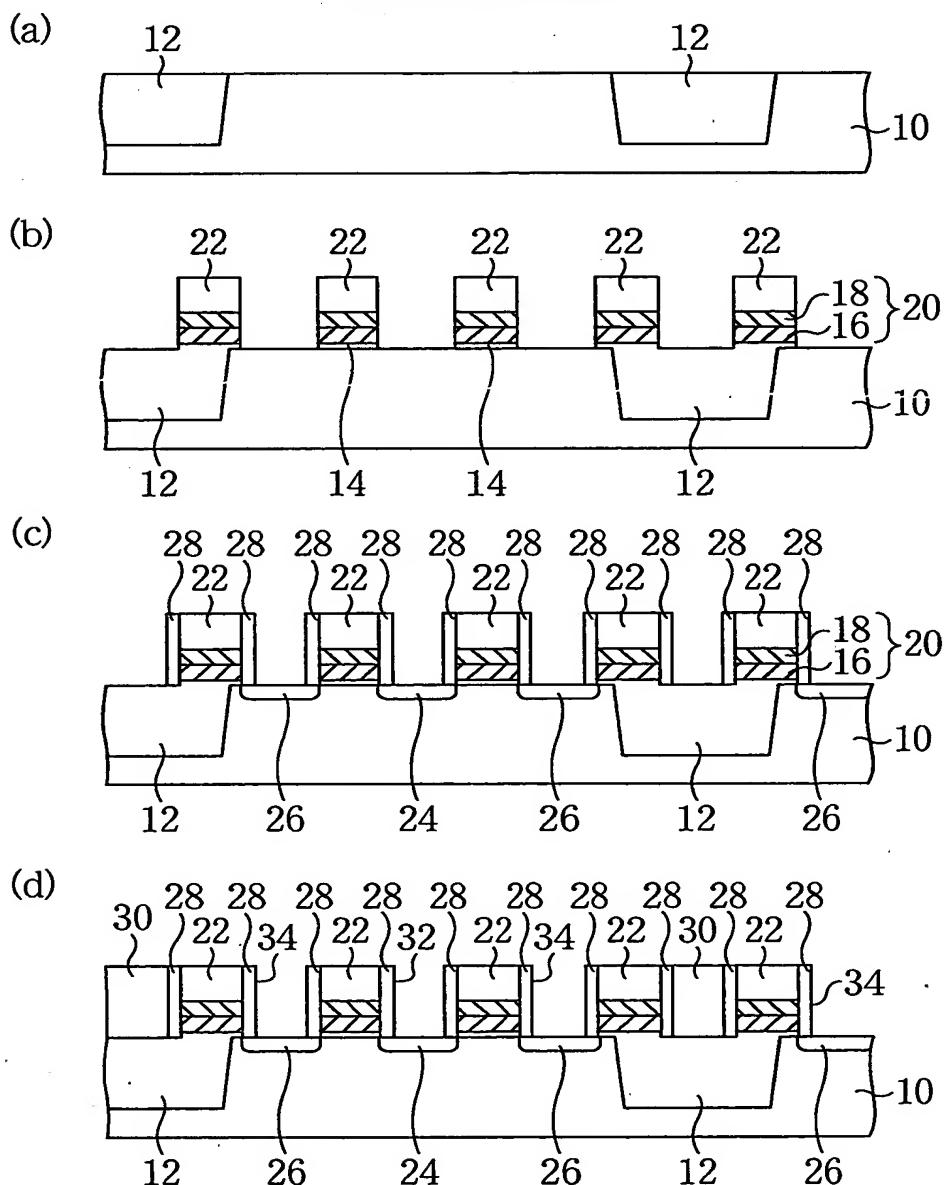
本発明の第1実施形態による半導体装置の構造を示す概略断面図



10…シリコン基板
 12…素子分離膜
 54…シリコン窒化膜
 26…ソース／ドレイン拡散層
 38、62、96、98…プラグ
 48…ピット線

64、68…エッチングストップ膜
 76…蓄積電極
 78…キャパシタ誘電体膜
 88…プレート電極
 92、94…コンタクトホール
 100…配線層

【図10】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その1)

10…シリコン基板

12…素子分離膜

14…ゲート絶縁膜

16…多結晶シリコン膜

18…タンゲステン膜

20…ゲート電極

22…シリコン窒化膜

24, 26…ソース/ドレイン拡散層

28…サイドウォール絶縁膜

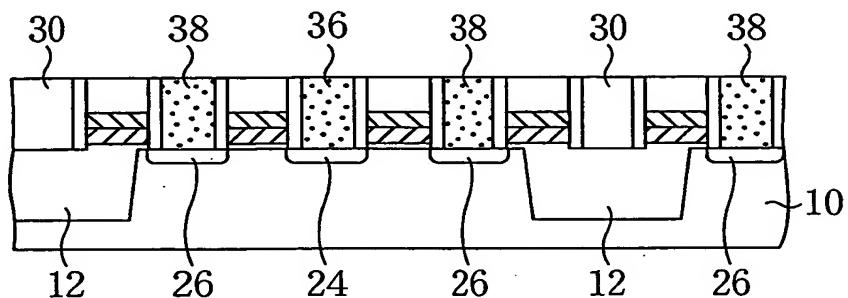
30…層間絶縁膜

32, 34…コンタクトホール

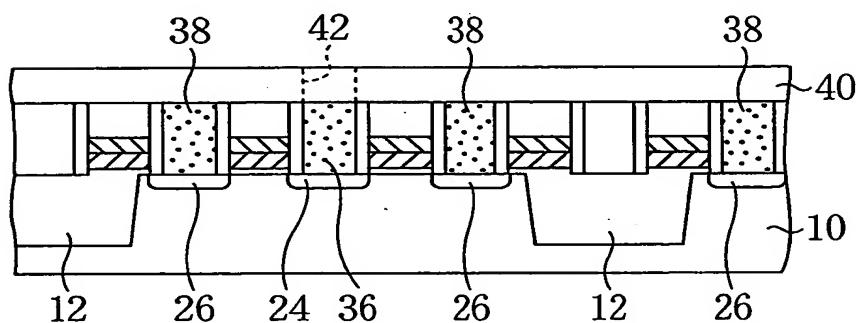
【図11】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その2)

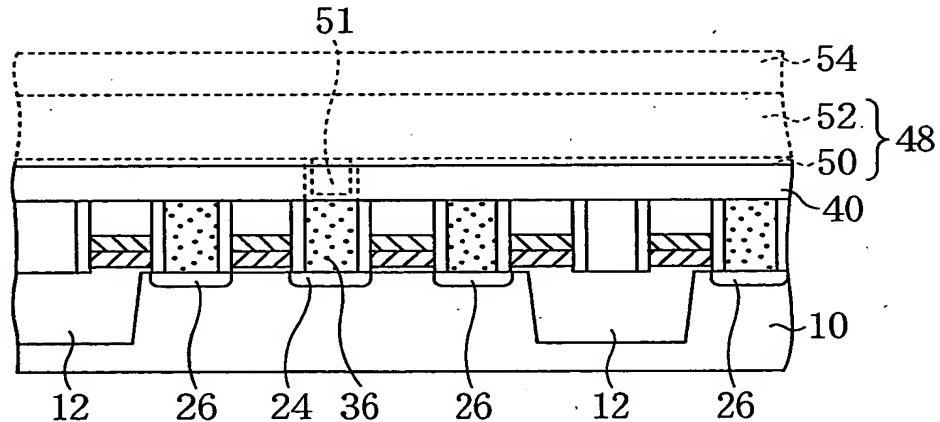
(a)



(b)



(c)



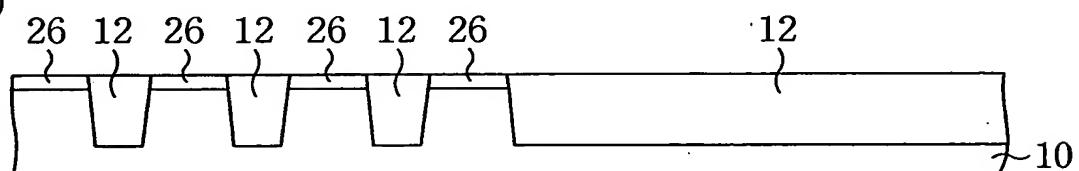
36、38…プラグ
40…層間絶縁膜
48…ピット線

50…密着層
51、52…タンクスチタン膜
54…シリコン窒化膜

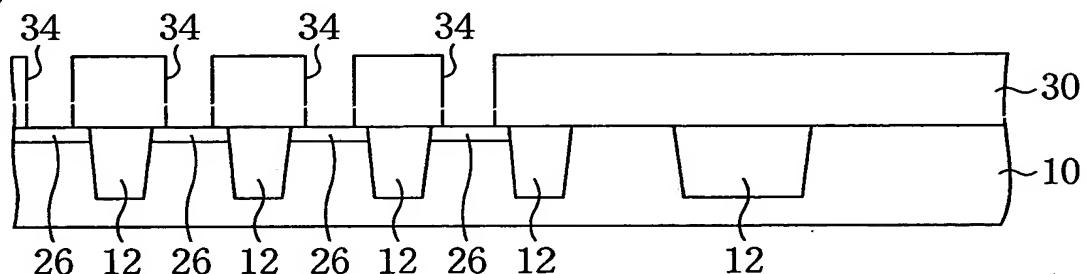
【図12】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その3)

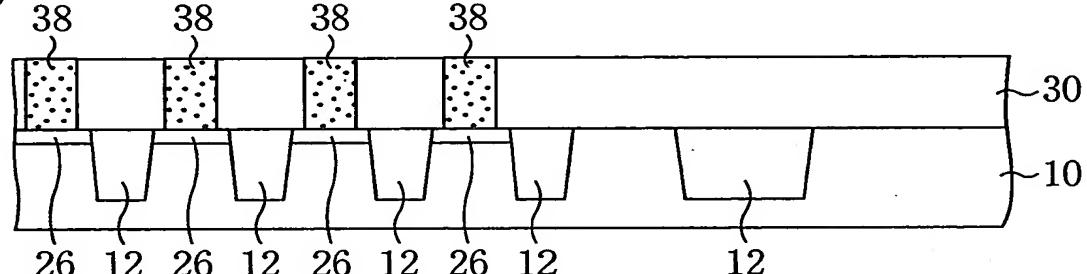
(a)



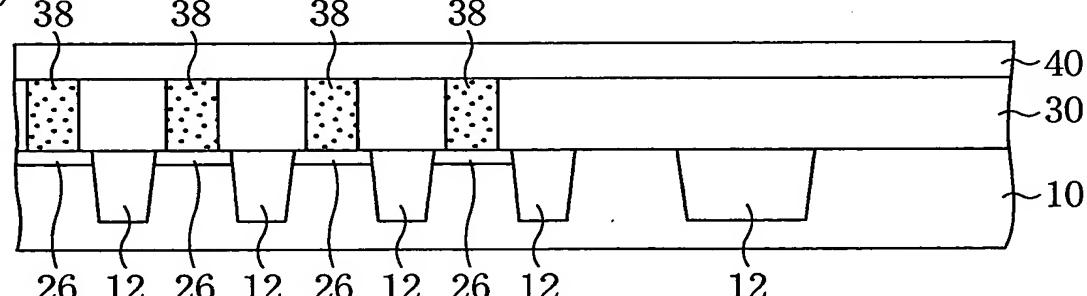
(b)



(c)



(d)



10…シリコン基板

30、40…層間絶縁膜

12…素子分離膜

34…コンタクトホール

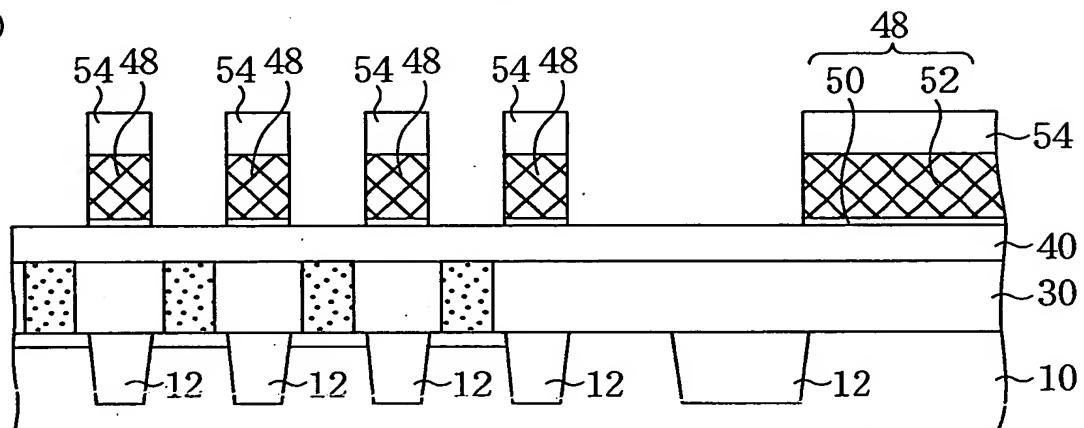
26…ソース／ドレイン拡散層

38…プラグ

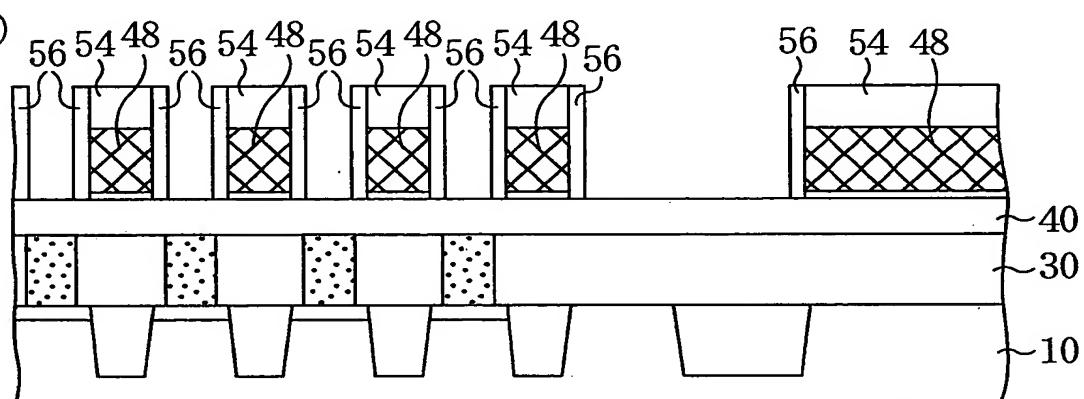
【図13】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その4)

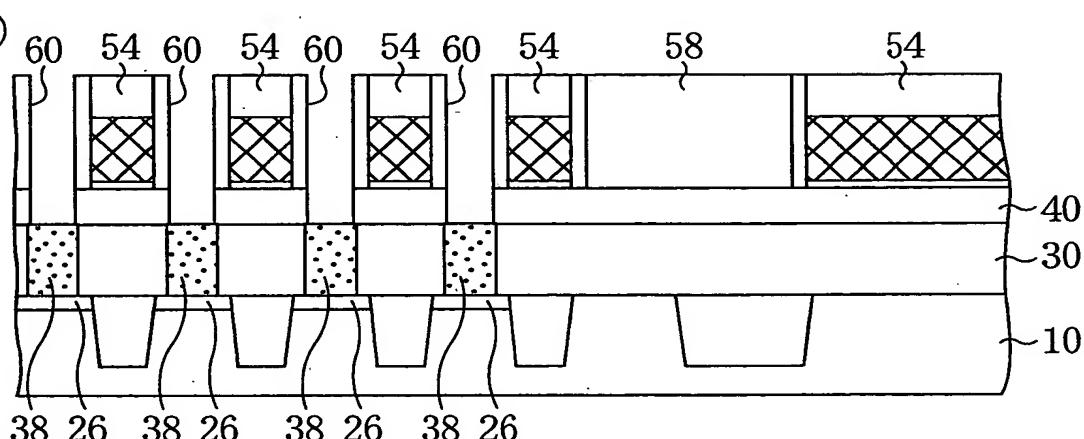
(a)



(b)



(c)



48…ピット線

50…密着層

52…タンゲステン膜

54…シリコン窒化膜

56…サイドウォール絶縁膜

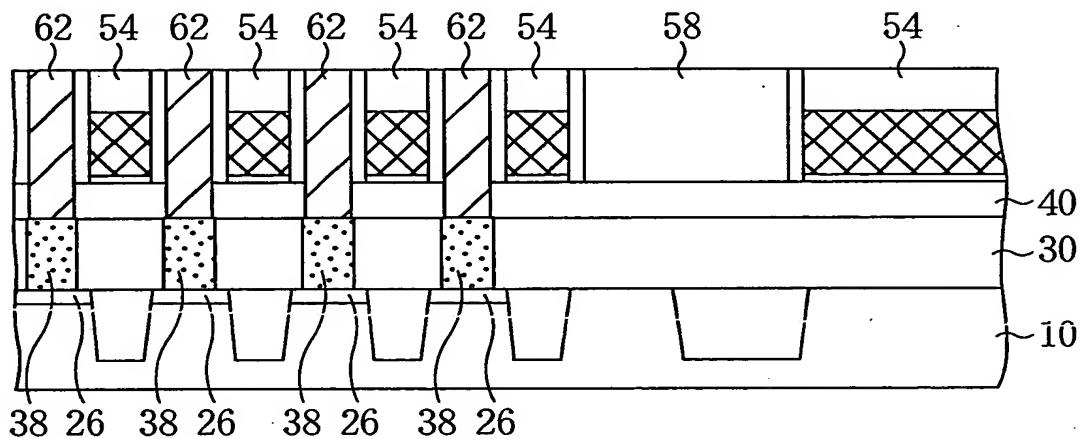
58…層間絶縁膜

60…コンタクトホール

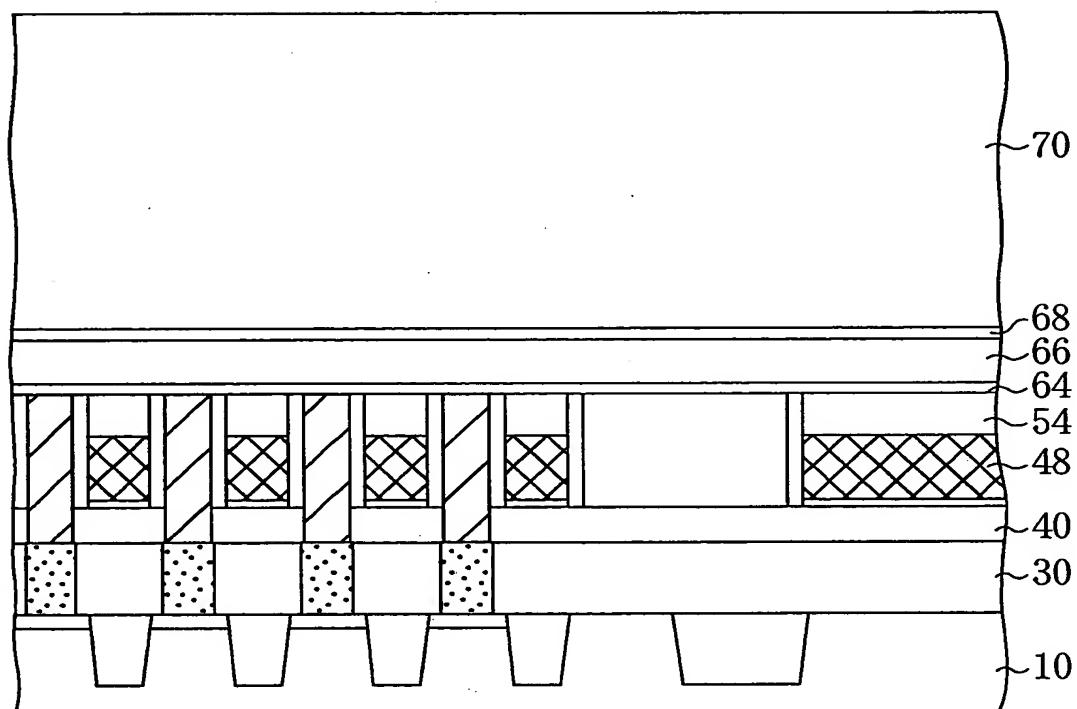
【図14】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その5)

(a)

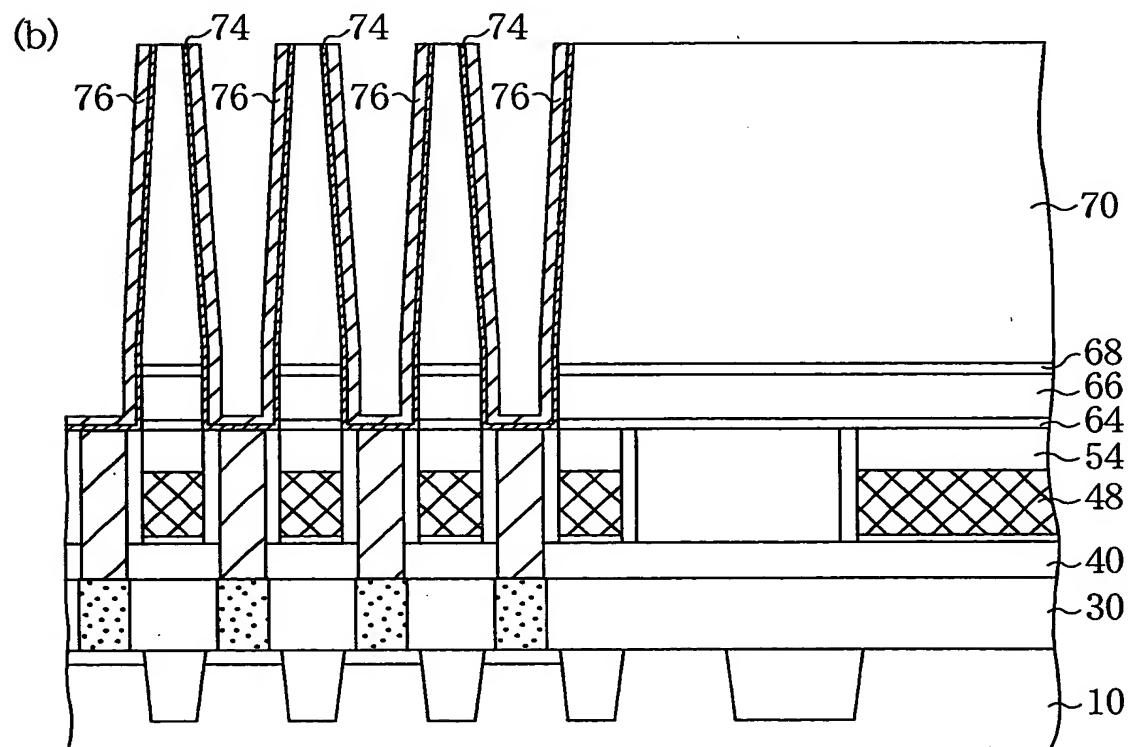
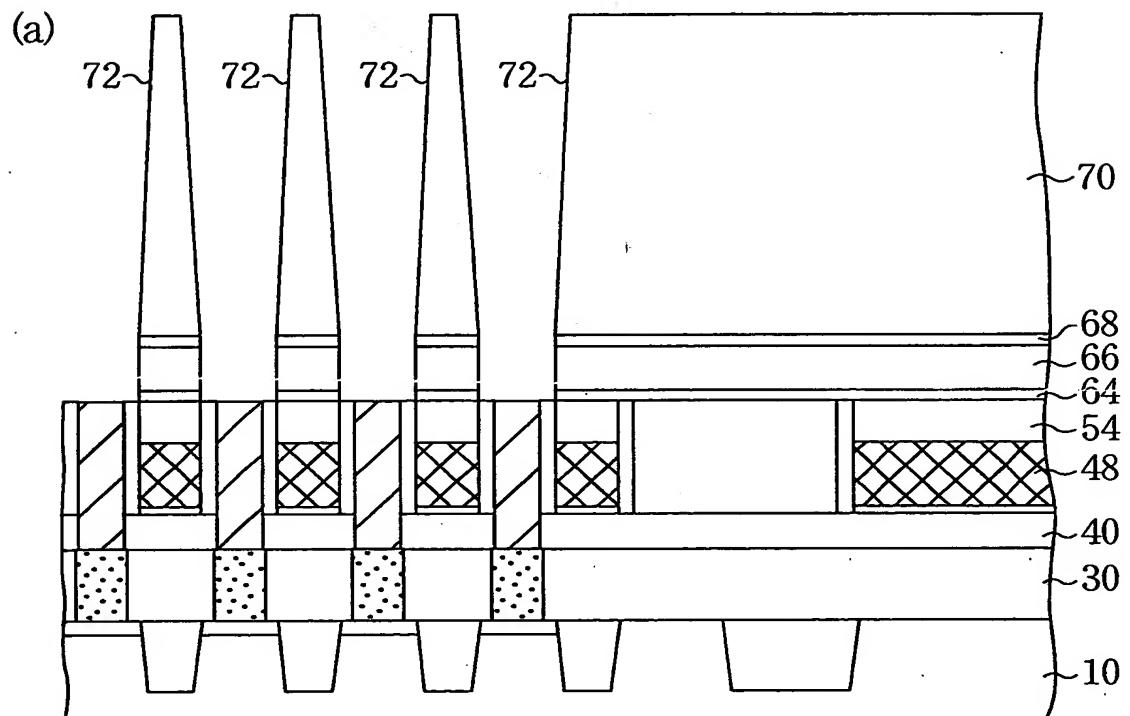


(b)

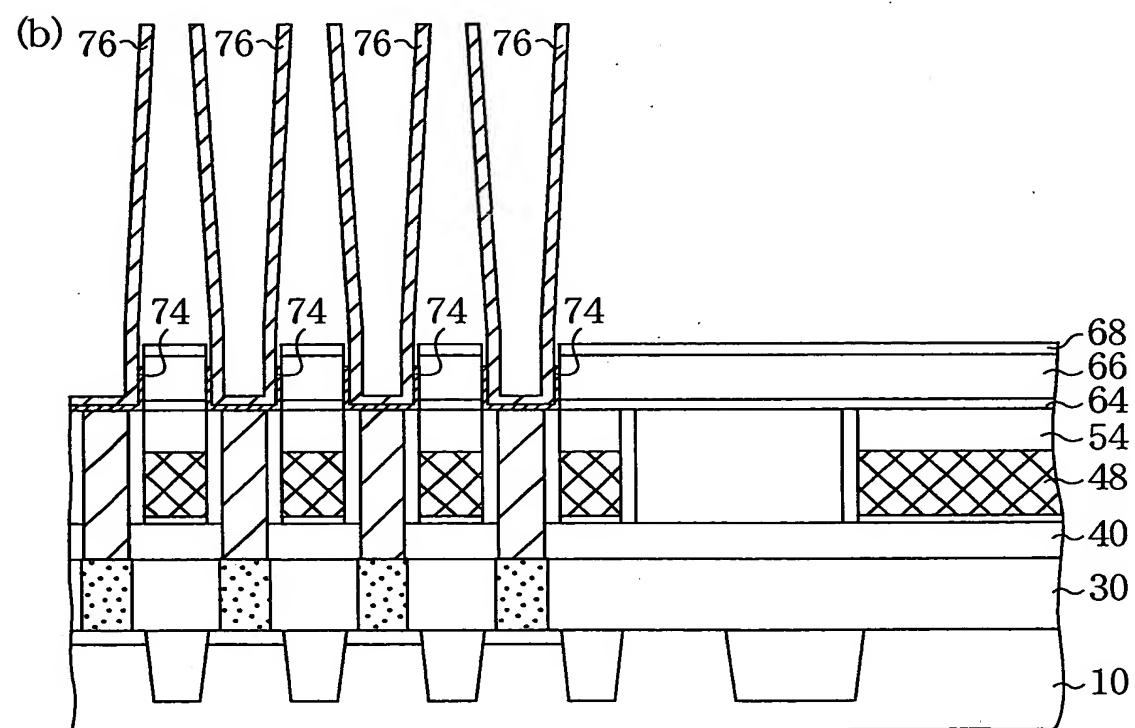
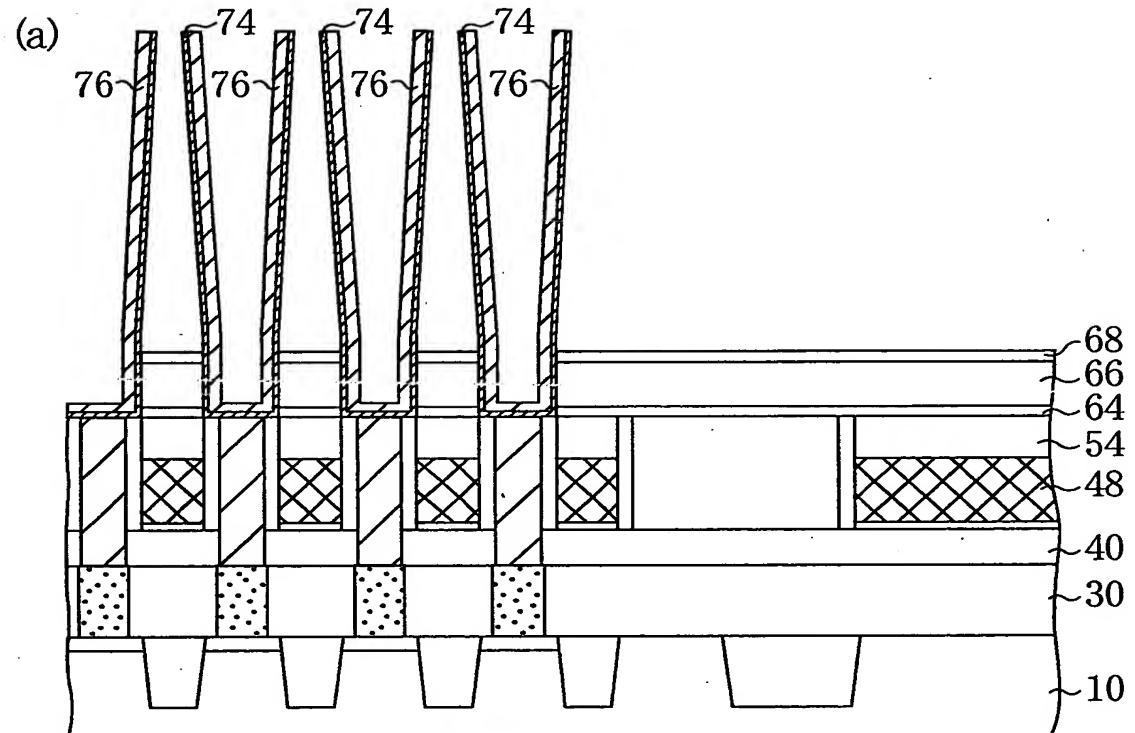


62…プラグ
64、68…エッチングストップ膜
66、70…層間絶縁膜

【図15】

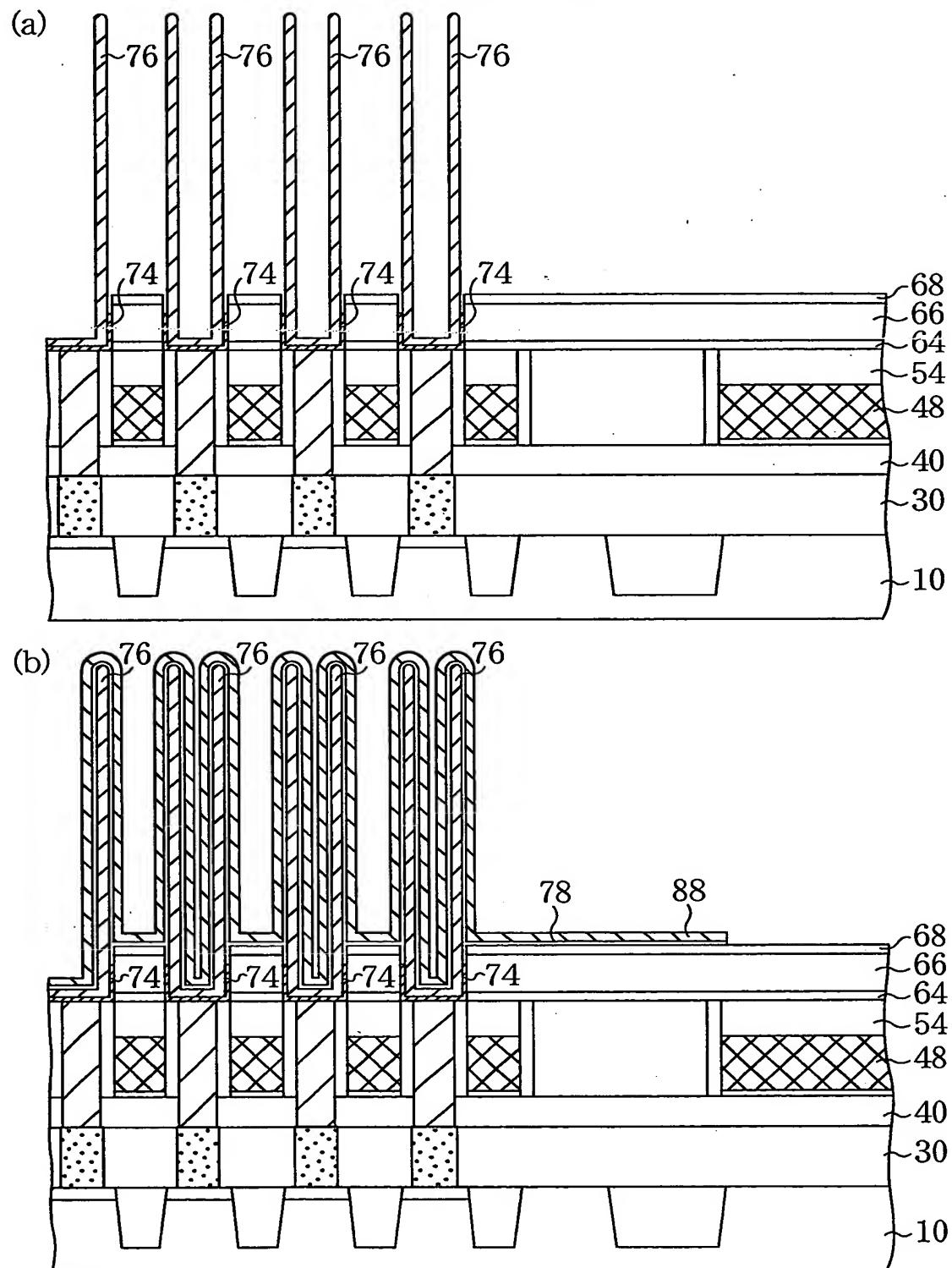
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その6)

【図16】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その7)

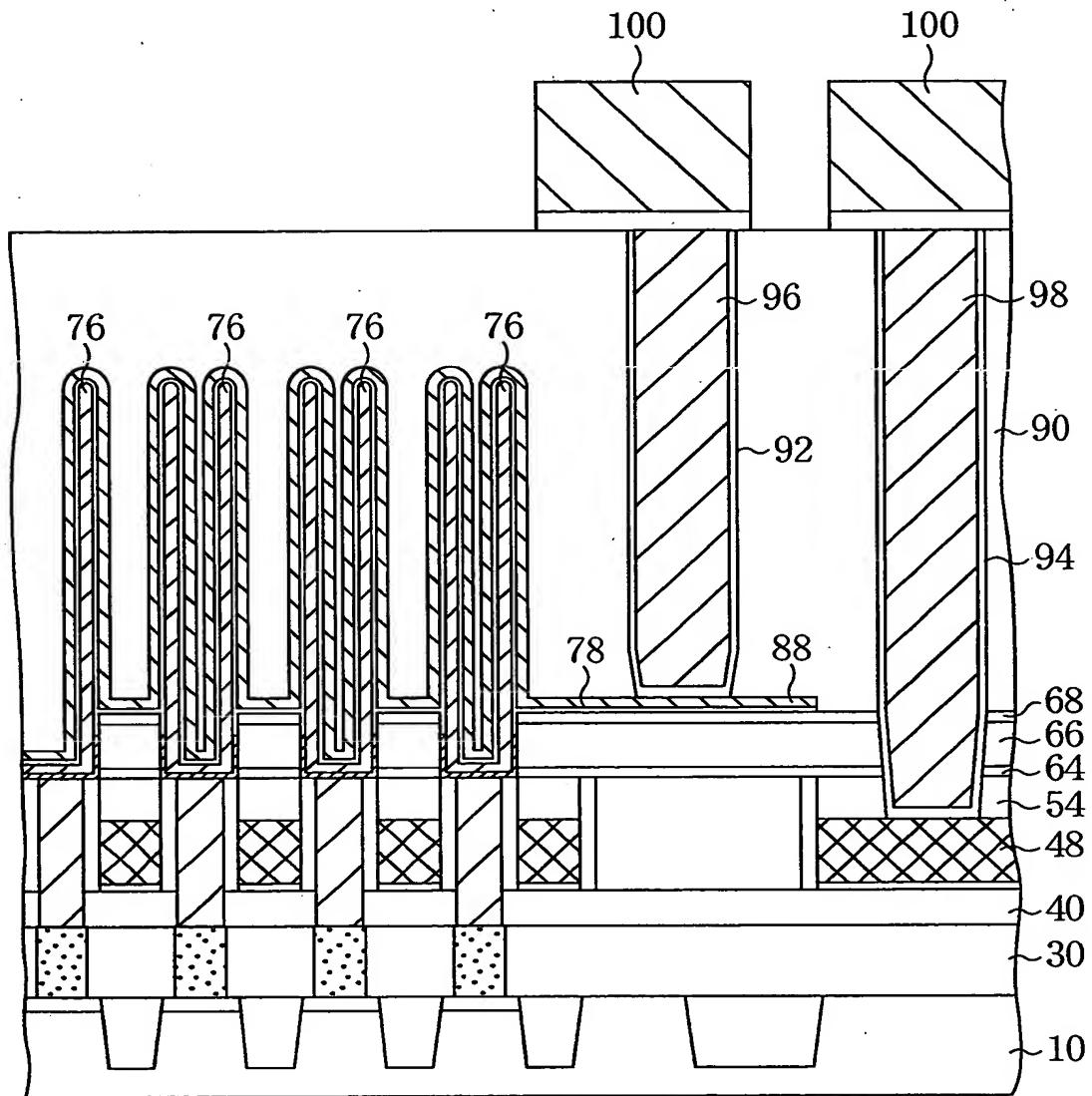
【図17】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その8)



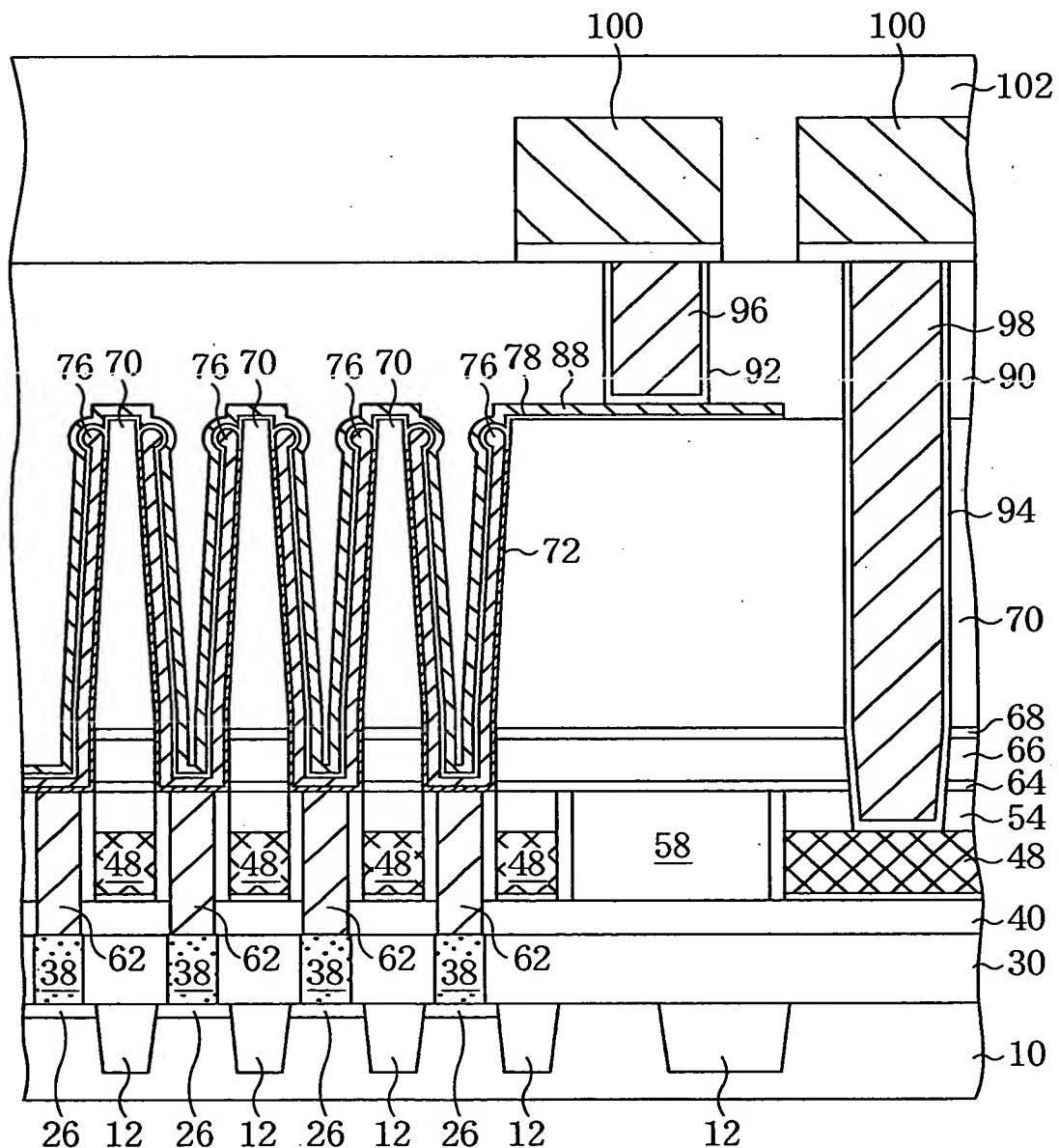
【図18】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その9)



【図19】

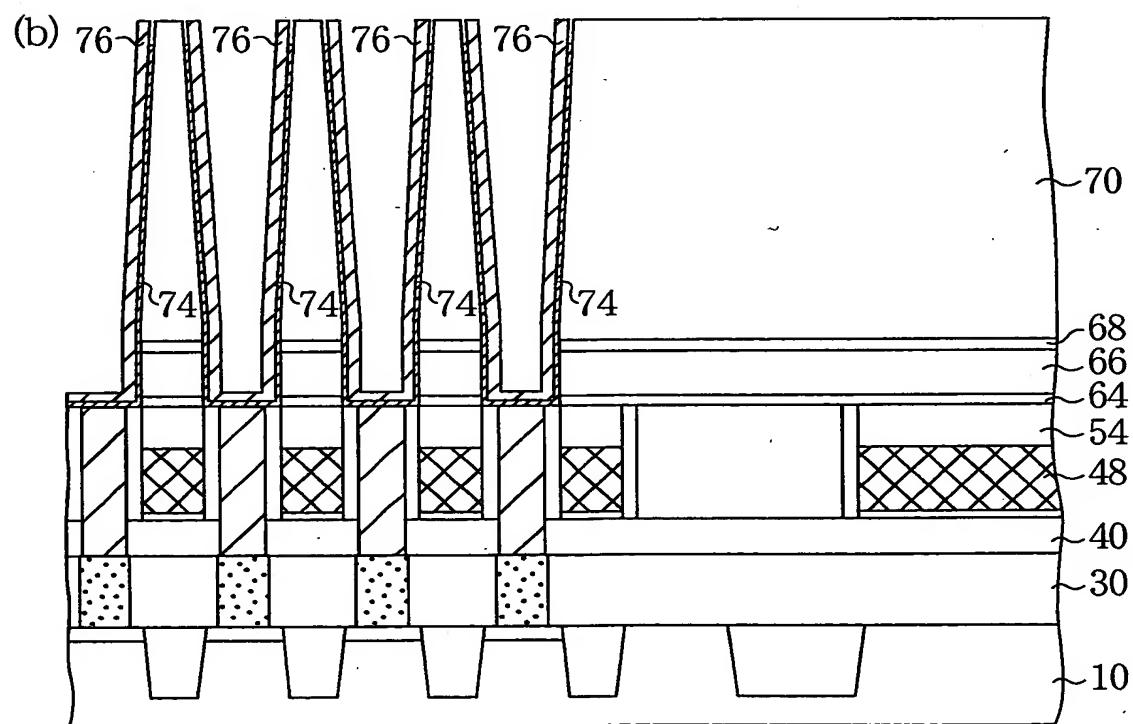
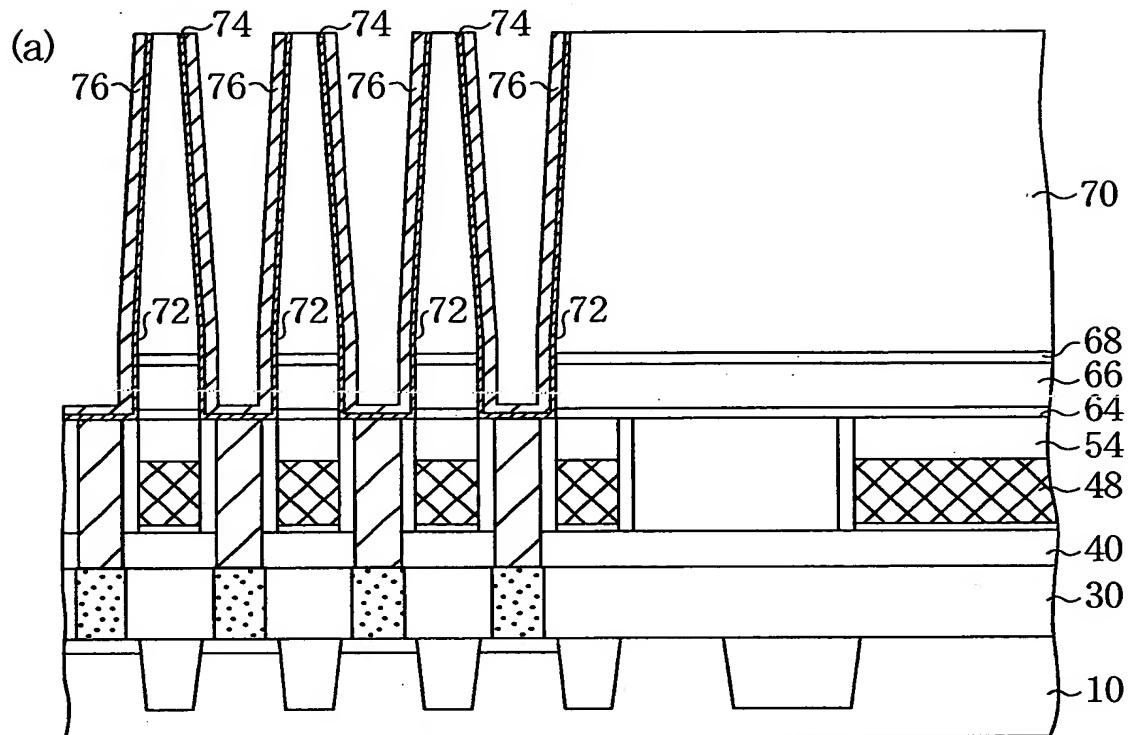
本発明の第2実施形態による半導体装置の構造を示す概略断面図



10…シリコン基板
 12…素子分離膜
 54…シリコン窒化膜
 26…ソース／ドレイン拡散層
 38、62、96、98…プラグ
 48…ピット線
 64、68…エッチングストップ膜

72…開口部
 76…蓄積電極
 78…キャパシタ誘電体膜
 88…プレート電極
 92、94…コンタクトホール
 100…配線層

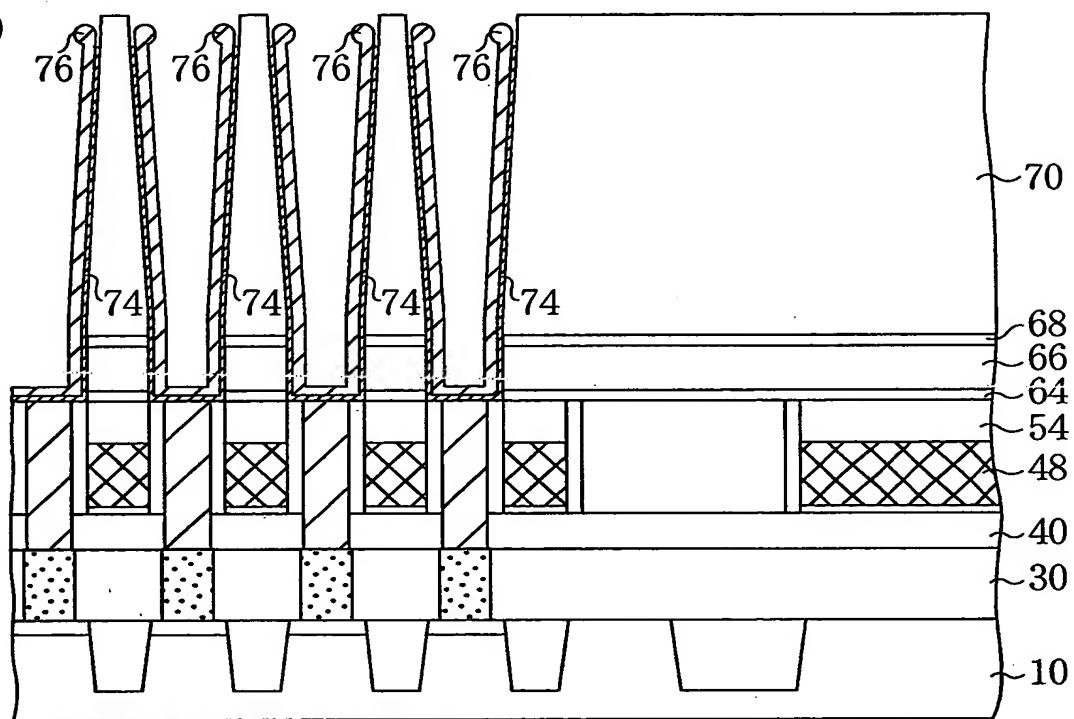
【図20】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その1)

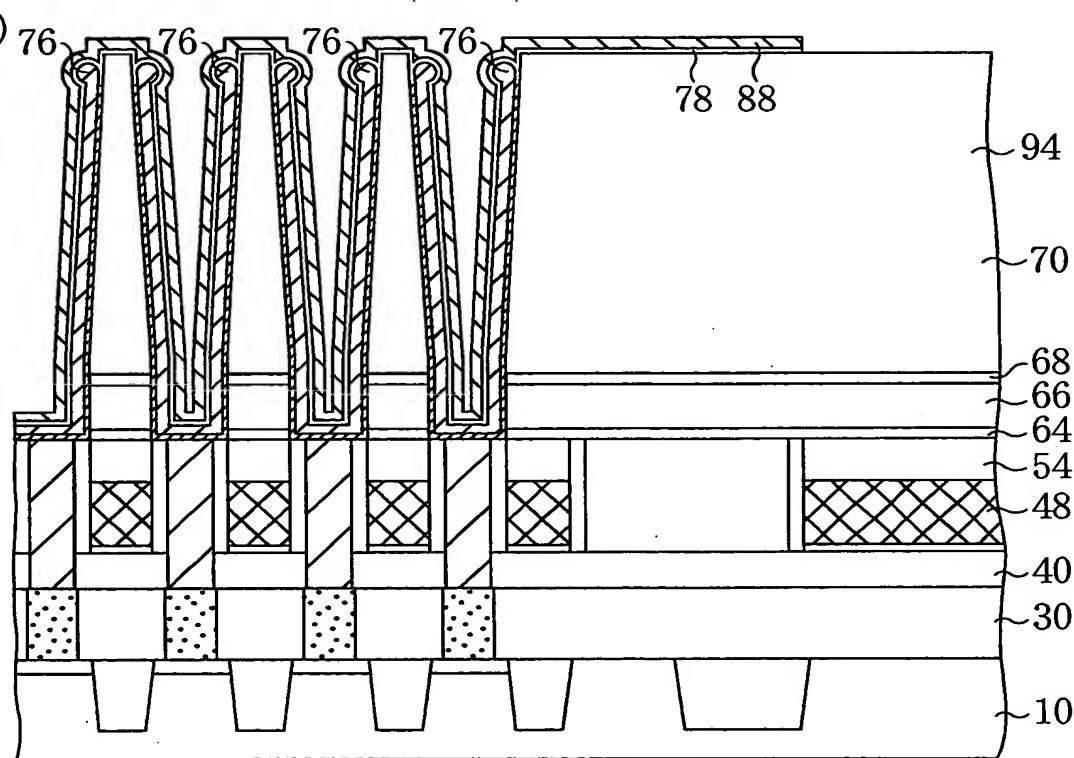
【図21】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その2)

(a)

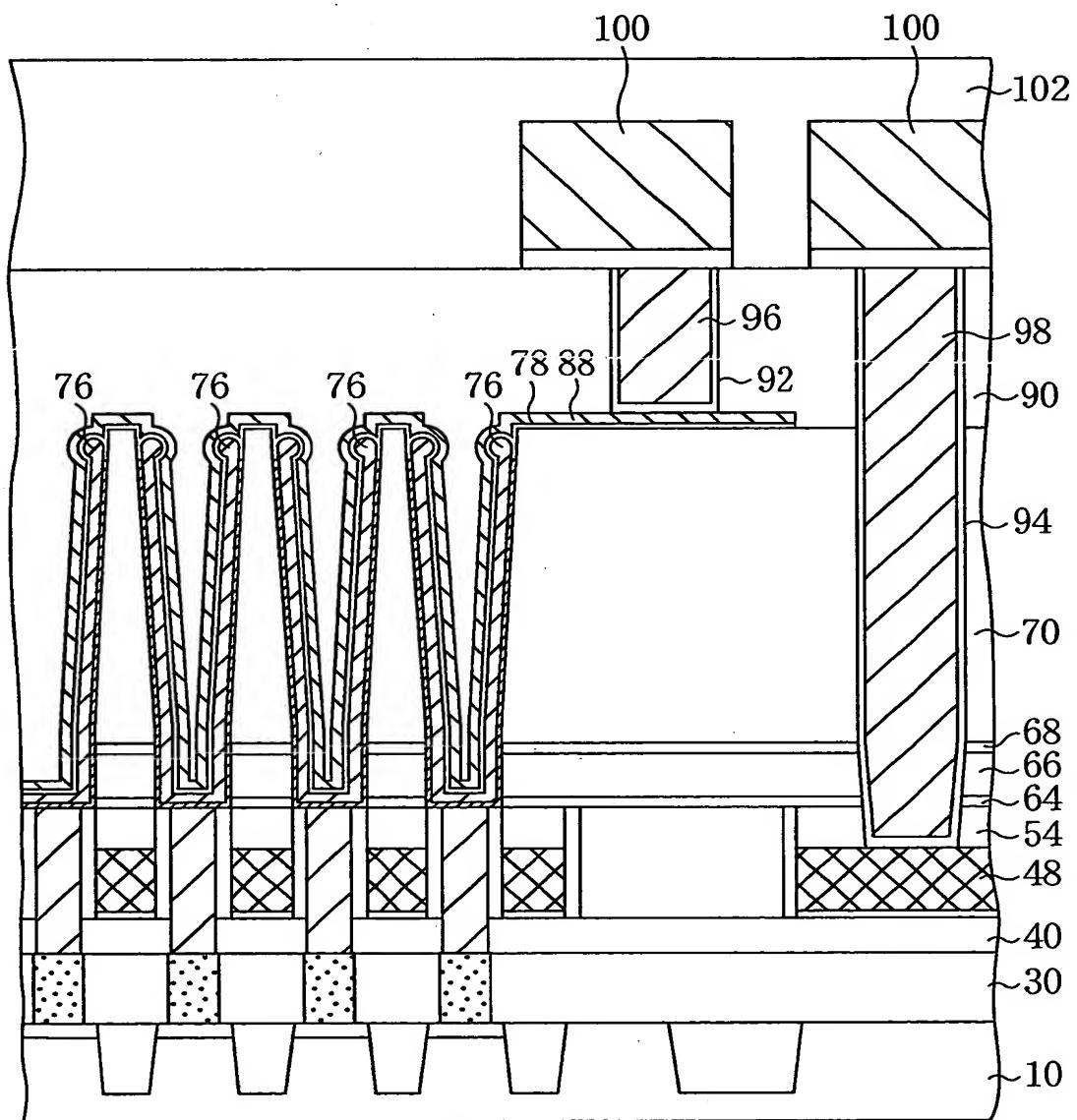


(b)



【図22】

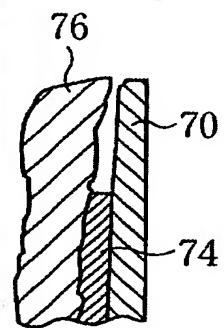
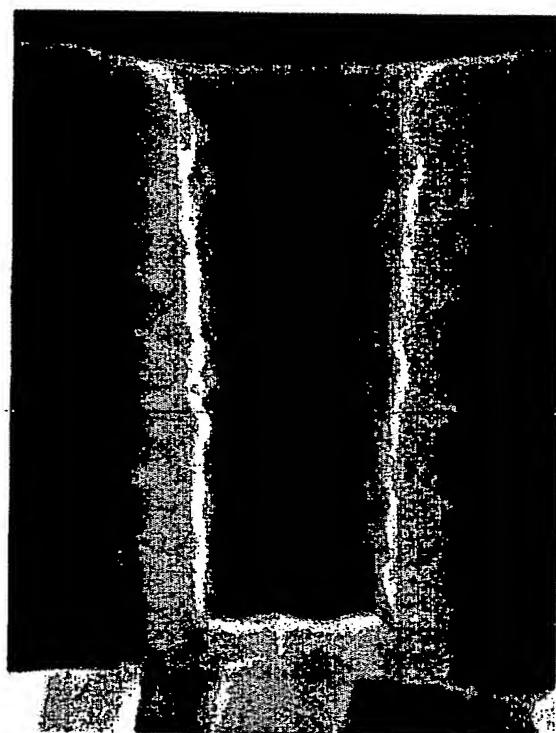
本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図(その3)



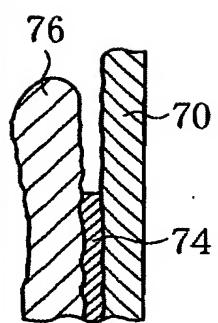
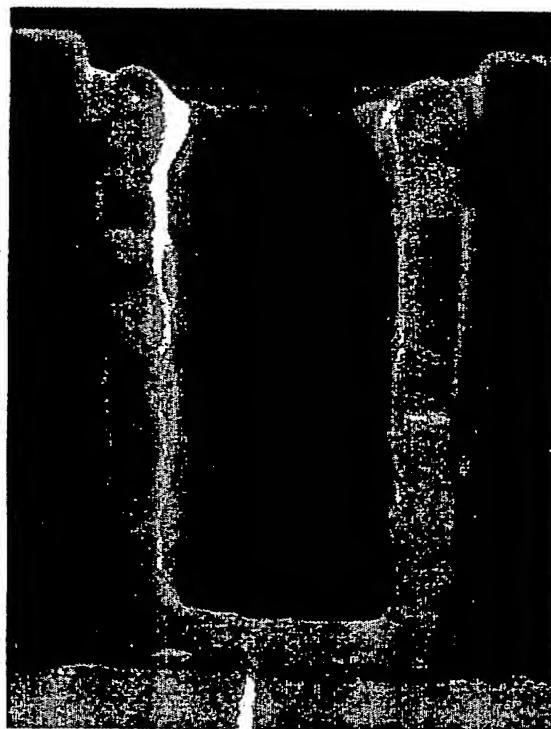
【図23】

熱処理前後における蓄積電極の形状を示す断面SEM写真

(a)

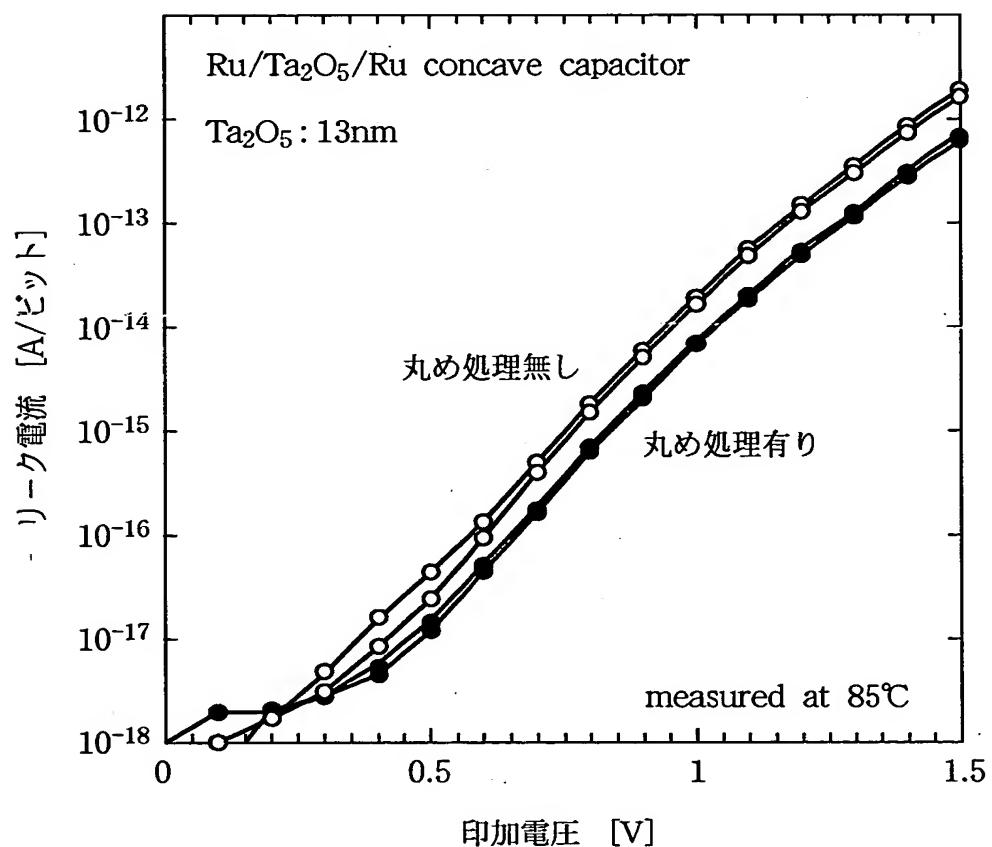


(b)



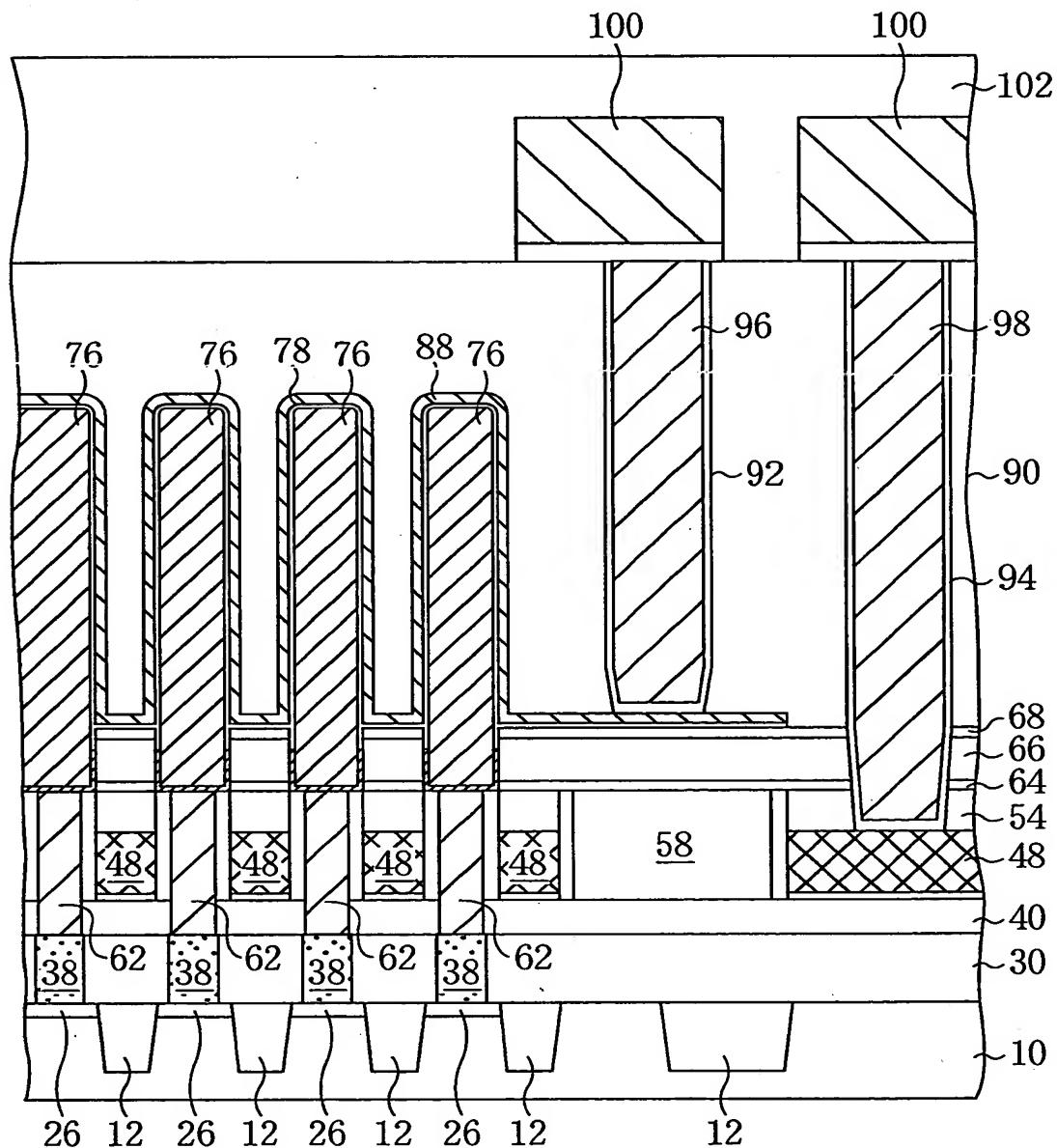
【図24】

蓄積電極に丸みを付ける熱処理を行った試料と行わなかった試料におけるキャパシタのリーク電流特性を示すグラフ



【図25】

本発明の実施形態の変形例による半導体装置の構造を示す
概略断面図

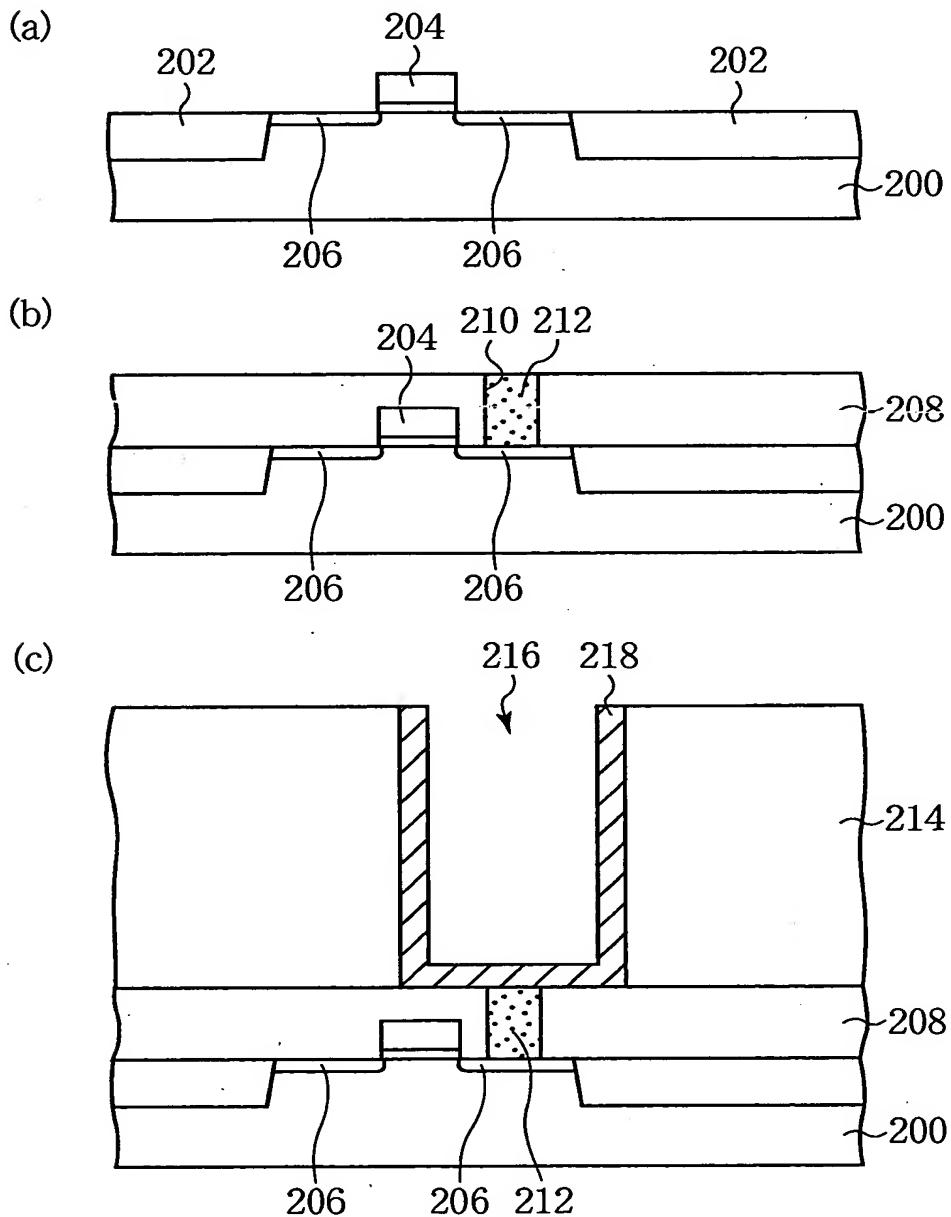


10…シリコン基板
 12…素子分離膜
 54…シリコン窒化膜
 26…ソース／ドレイン拡散層
 38、62、96、98…プラグ
 48…ピット線

64、68…エッティングストップ膜
 76…蓄積電極
 78…キャパシタ誘電体膜
 88…プレート電極
 92、94…コンタクトホール
 100…配線層

【図26】

従来の半導体装置の製造方法を示す工程断面図(その1)



200…シリコン基板

202…素子分離膜

204…ゲート電極

206…ソース／ドレイン拡散層

208、214…層間絶縁膜

210…コンタクトホール

212…プラグ

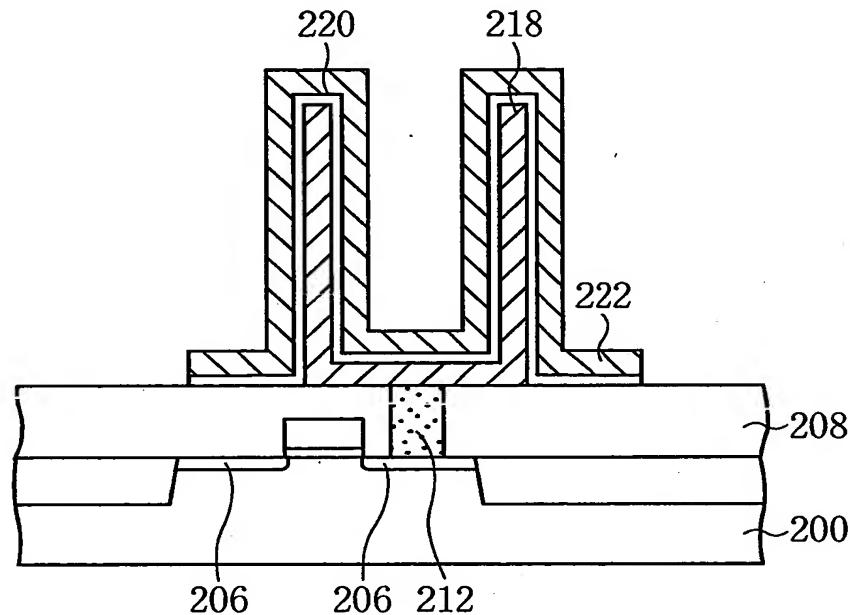
216…開口部

218…蓄積電極

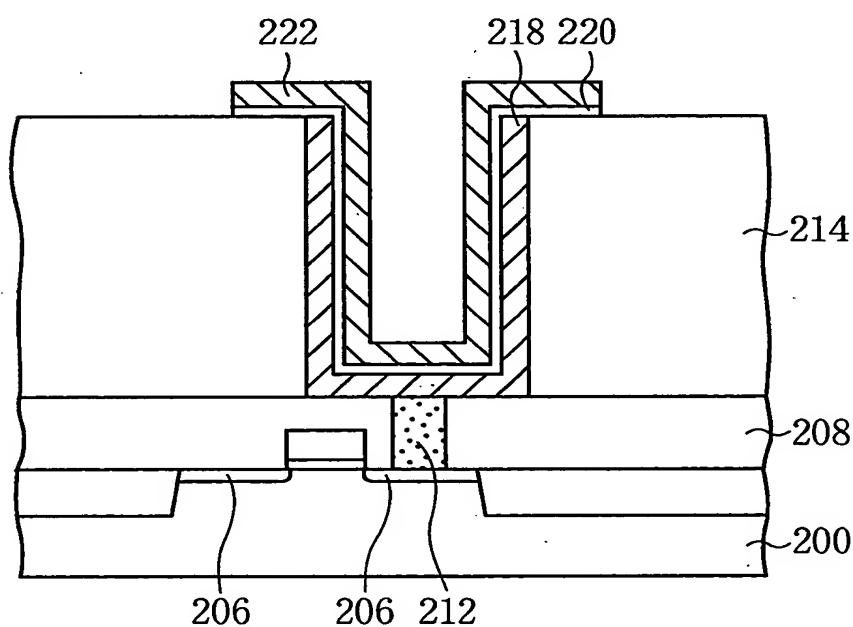
【図27】

従来の半導体装置の製造方法を示す工程断面図(その2)

(a)



(b)

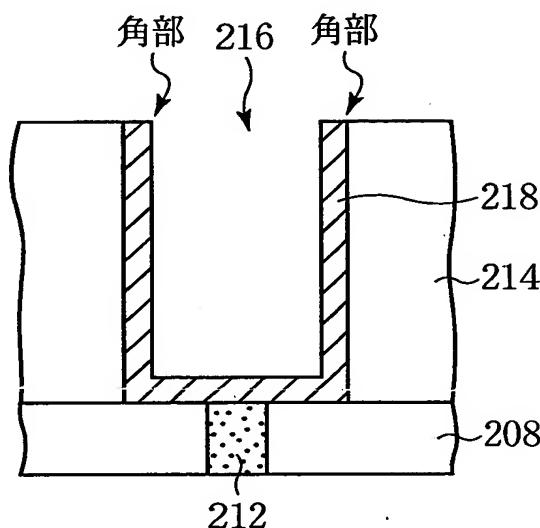


220…キャパシタ誘電体膜
222…プレート電極

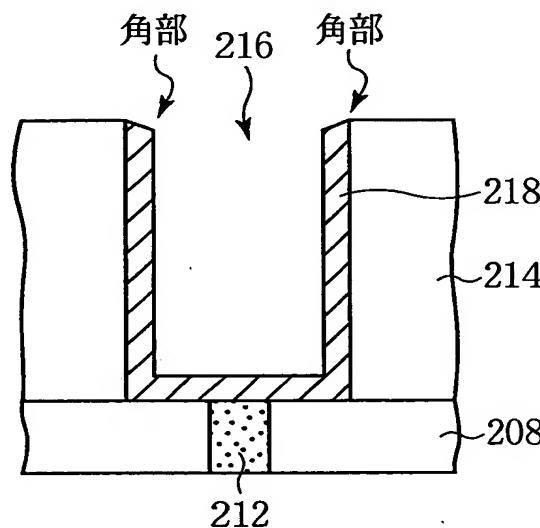
【図28】

従来の半導体装置における課題を説明する図

(a)



(b)



200…シリコン基板
 208、214…層間絶縁膜
 216…開口部
 218…蓄積電極

【書類名】 要約書

【要約】

【課題】 柱状又は円筒形状の蓄積電極を利用したキャパシタを有する半導体装置において、蓄積電極上端部における電界集中を緩和してキャパシタの絶縁性を向上する。

【解決手段】 蓄積電極76と、蓄積電極76上に形成されたキャパシタ誘電体膜78と、キャパシタ誘電体膜78上に形成されたプレート電極88とからなるキャパシタを有する半導体装置において、蓄積電極76の上端部を丸くし、蓄積電極76の上端部の厚さが他の領域の厚さよりも厚くなるように構成する。

【選択図】 図19

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社